



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010007609 A

(43)Date of publication of application: 26.01.2001

(21)Application number: 1020000052122

(71)Applicant: NTEK RESEARCH CO., LTD.

(22)Date of filing: 04.09.2000

(72)Inventor: KWON, O GYEONG

(51)Int. Cl. G02F 1/133

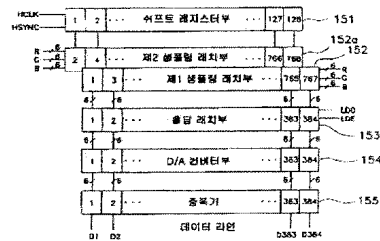
(54) SOURCE DRIVER FOR LIQUID CRYSTAL DISPLAY

(57) Abstract:

PURPOSE: A source driver in a liquid crystal display is provided to reduce the fabrication cost by halving the number of data lines while being capable of expressing the same image.

CONSTITUTION: The source driver in a liquid crystal display comprises a shift register part(151) which shifts a horizontal synchronous signal pulse according to a source pulse clock (HCLK) to output a latch clock. The first sample and latch part (152) samples and latches digital RGB data corresponding to each of odd-numbered ones of 768 column lines. The second sample and latch part(152a) samples and latches digital RGB data corresponding to each of even-numbered ones of the 768 column lines.

A latch part(153) latches data stored in the first sample and latch part(152) in response to the first load signal(LDO) and data stored in the second sample and latch part(152a) in response to the second load signal(LDE). A digital to analog converter(154) converts digital RGB data, stored in the latch part(153), corresponding to an odd-numbered or even-numbered column into analog data. An amplifier(155) amplifies current of analog RGB data, output from the analog to digital converter, corresponding to the odd-numbered or even-numbered column.



COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (20000904)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20001218)

Patent registration number (1002917680000)

Date of registration (20010315)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

특2001-0007609

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
G02F 1/133

(11) 공개번호 특2001-0007609
(43) 공개일자 2001년01월26일

(21) 출원번호	10-2000-0052122(분할)
(22) 출원일자	2000년09월04일
(62) 원출원	특허 특1999-0020721
	원출원일자 : 1999년06월04일 심사청구일자 1999년06월04일
(71) 출원인	주식회사 엔텍리서치 권오경
(72) 발명자	서울특별시 강남구 역삼동 719-24 이플래이스빌딩 4층 권오경
(74) 대리인	서울특별시 송파구 신천동 장미아파트 14-1102 강동훈

심사청구 : 있음

(54) 액정표시장치의 소오스 드라이버

요약

본 발명은 데이터 라인의 수를 종전의 절반 수준으로 감소시키면서 동일한 화상표현이 가능하도록하여 코스트를 절감시킬 수 있는 액정표시장치의 소오스 드라이버를 제공하기 위한 것으로, 본 발명의 액정표시장치의 소오스 드라이버는 제 1 기판과 제 2 기판 그리고 그 사이에 봉입된 액정을 포함한 액정표시장치의 데이터 라인에 화상신호를 인가하는 소오스 드라이버에 있어서, 수평동기신호 펄스를 쉬프트시켜 래치 클럭을 출력하는 $n/3$ 클럭 쉬프트 레지스터부; 상기 쉬프트 레지스터부에서 출력되는 래치 클럭에 따라 $2n$ 개의 칼럼라인 중 홀수번째 칼럼라인에 해당하는 디지털 화상신호를 샘플링하여 래치시키는 제1 샘플링 래치부; 상기 쉬프트 레지스터부에서 출력되는 래치 클럭에 따라 $2n$ 개의 칼럼 라인중 짝수번째 칼럼라인에 해당하는 디지털 화상신호를 샘플링하여 래치시키는 제 2 샘플링 래치부; 제 1 로드신호에 의해 상기 제 1 샘플링 래치부에 저장된 데이터를 전달받아 래치시키고, 제 2 로드신호에 의해 상기 제 2 샘플링 래치부에 저장된 데이터를 전달받아 래치시키는 홀딩 래치부; 상기 홀딩 래치부에 저장된 홀수번째 칼럼라인에 해당하는 디지털 화상신호 또는 짝수번째 칼럼라인에 해당하는 디지털 화상신호를 아날로그 데이터로 변환하는 O/A 컨버터부; 및 상기 O/A 컨버터부에서 출력되는 홀수번째 칼럼라인에 해당하는 아날로그 화상신호 또는 짝수번째 칼럼라인에 해당하는 아날로그 화상신호를 일정폭으로 증폭하는 증폭부를 포함하여 구성된다.

대표도

도 15a

색인어

액정표시장치, 드라이버, 데이터 라인

명세서

도면의 간단한 설명

- 도 1은 일반적인 액정 디스플레이 소자의 단면구조도
- 도 2는 일반적인 액정 디스플레이 소자의 개략적 구성도
- 도 3은 종래 기술에 따른 액정표시장치의 구성도
- 도 4는 종래 액정표시장치의 주사라인에 인가되는 구동신호 파형도
- 도 5a는 종래 액정표시장치에 따른 소오스 드라이버의 구성도
- 도 5b는 종래 액정표시장치에 따른 소오스 드라이버의 동작파형도
- 도 6a는 종래 액정표시장치에 따른 게이트 드라이버의 구성도
- 도 6b는 종래 액정표시장치에 따른 게이트 드라이버의 동작파형도
- 도 7a는 본 발명 제 1 실시예에 따른 액정표시장치의 구성도
- 도 7b는 도 7a에 따른 액정표시장치의 주사라인에 인가되는 구동신호 파형도
- 도 8a는 본 발명 제 2 실시예에 따른 액정표시장치의 구성도

도 8b는 도8a에 따른 액정표시장치의 주사라인에 인가되는 구동신호 파형도
 도 9a는 본 발명 제 3 실시예에 따른 액정표시장치의 구성도
 도 9b는 도9a에 따른 액정표시장치의 주사라인에 인가되는 구성신호 파형도
 도 10a는 본 발명 제 4 실시예에 따른 액정표시장치의 구성도
 도 10b는 도 10a에 따른 액정표시장치의 주사라인에 인가되는 구동신호 파형도
 도 11a는 본 발명 제 5 실시예에 따른 액정표시장치의 구성도
 도 11b는 도 11a에 따른 액정표시장치의 주사라인에 인가되는 구동신호 파형도
 도 12a는 본 발명 제 6 실시예에 따른 액정표시장치의 구성도
 도 12b는 도 12a에 따른 액정표시장치의 주사라인에 인가되는 구동신호 파형도
 도 13a는 본 발명 제 7 실시예에 따른 액정표시장치의 구성도
 도 13b는 도 13a에 따른 액정표시장치의 주사라인에 인가되는 구동신호 파형도
 도 14a는 본 발명 제 8 실시예에 따른 액정표시장치의 구성도
 도 14b는 도 14a에 따른 액정표시장치의 주사라인에 인가되는 구동신호 파형도
 도 15a는 본 발명에 따른 액정표시장치의 소오스 드라이버 구성도
 도 15b는 도 15a에 따른 동작파형도
 도 16a는 본 발명 액정표시장치의 소오스 드라이버의 다른 실시예를 나타낸 구성도
 도 16b는 도 16a에 따른 동작파형도
 도 17a는 본 발명에 따른 액정표시장치의 게이트 드라이버 구성도
 도 17b는 도 17a에 따른 동작파형도
 도 18은 본 발명의 액정표시장치에 따른 화상신호 기입순서를 나타낸도면

<< 도면의 주요부분에 대한 부호의 설명 >>

71 : 제 1 스위칭부
 71a, 71b : 제 1. 제 2 박막 트랜지스터
 71c : 제 1화소전극
 73 : 제 2 스위칭부
 73a, 73b : 제 3. 제 4 박막트랜지스터
 73c : 제 2 화소전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 액정표시장치의 소오스 드라이버에 관한 것으로 특히, 인접한 두 개의 주사라인에 인가되는 구동신호를 제어하여 하나의 데이터 라인으로 그 양쪽의 화소영역에 화상신호를 전달할 수 있게 함으로써 데이터 라인수를 절반으로 줄일 수 있게하여 고해상도를 유지하면서 생산 코스트 절감할 수 있게 한 액정표시장치의 소오스 드라이버에 관한 것이다.

일반적인 액정 디스플레이 소자 (Liquid Crystal Display : LCD)는 크게 상판과 하판, 그리고 상판과 하판 사이에 봉입된 액정으로 이루어진다.

상판에는 블랙매트릭스, 공통전극, 색상을 표현하기 위한 R(적), G(녹), B(청)의 칼라 필터층이 배치된다.

하판에는 데이터 라인과 게이트 라인이 서로 교차하면서 배치되어 매트릭스 형태의 화소영역을 갖는다.

그리고 각 화소영역에는 하나의 박막 트랜지스터 (TFT :Thin Film Transistor)와 화소전극이 구성된다.

도 1은 일반적인 액정디스플레이 소자의 단면구조도이다.

도 1에 도시한 바와 같이, 하판(1)에는 주사라인(게이트 라인)으로부터 연장되는 게이트 전극(Gate)과, 데이터 라인으로부터 연장되는 소오스 전극(S) 및 드레인 전극(D)으로 구성되는 박막 트랜지스터가 일정한 간격을 갖고 매트릭스 형태로 형성된다.

각 화소영역에는 각 박막 트랜지스터(2)의 드레인 전극(D)에 연결되는 화소전극(2a)이 형성된다.

상판(3)에는 하판(1)에 형성된 화소전극(2a)을 제외한 부분에서 빛의 투과를 차단하기 위해 블랙매트릭스층(4)이 메쉬(Mesh)형태로 형성된다.

각 블랙매트릭스층(4) 사이에는 색상을 표현하기 위한 R, G, B 칼라필터층(5)이 형성된다.

그리고 칼라필터층(5)과 블랙매트릭스층(4)에 걸쳐 공통전극(6)이 형성된다.

도 2는 일반적인 액정디스플레이 소자의 구성도이다.

도 2에 도시한 바와 같이, 하판 및 상판 그리고 사이에 봉입된 액정으로 이루어져 화상을 디스플레이하는 패널부(21)와, 상기 패널부(21)의 로우(Row)방향으로 구동신호를 인가하는 게이트 드라이버 (GD)로 이루어진 게이트 드라이버부(22)와, 상기 패널부(21)의 칼럼(Column)방향으로 구동신호를 인가하는 소오스 드라이버 (SD)로 이루어진 소오스 드라이버부(23)로 구성된다.

이하, 첨부된 도면을 참조하여 종래 액정표시장치 및 그의 드라이버를 설명하기로 한다.

도 3은 종래 기술에 따른 액정표시장치의 구성도이다.

도 3에 도시한 바와 같이, 로우(Row)방향을 따라 서로 일정 간격을 두고 복수개의 주사라인 (G1, G1,.....Gn-1, Gn)들이 형성되고, 각 주사 라인들을 가로지르는 방향으로 복수개의 데이터 라인 (D1,D2,.....Dn-1, Dn)들이 형성된다.

그리고 주사라인과 데이터 라인이 교차하는 지점마다 박막 트랜지스터(T1)들이 구성되며 각 박막 트랜지스터마다 화소전극(C₀)이 연결된다.

따라서, 주사라인에 순차적으로 구동전압이 공급되어 박막 트랜지스터가 턴-온되고, 턴-온된 박막 트랜지스터를 통해 해당 데이터 라인의 신호전압이 화소전극으로 충전된다.

도 4는 종래 액정표시장치의 주사라인에 인가되는 구동신호 파형도이다.

도 4에 도시된 바와 같이, 1수평주기 동안 첫 번째 주사라인(G1)에서부터 n번째 주사라인(Gn)까지 순차적으로 구동신호가 인가되므로 해당 주사라인에 의해 턴-온된 박막 트랜지스터를 통해 해당 데이터 라인의 신호전압이 화소전극으로 전달되어 화상을 디스플레이하게 된다.

한편, 도 5a는 종래 액정표시장치에 따른 소오스 드라이버의 구성도이고 도 5b는 소오스 드라이버의 동작 파형도이다.

참고적으로 도 5a에 도시된 소오스 드라이버는 384채널 6비트 드라이버를 나타내었다. 즉, R, G, B 데이터가 각각 6비트로 이루어지고, 칼럼 라인(데이터 라인)은 384라인으로 구성된 소오스 드라이버이다.

도 5a에 도시한 바와 같이, 쉬프트 레지스터부(51)와, 샘플링 래치부(52)와, 홀딩래치부(53)와, 디지털/아날로그 컨버터부(54), 그리고 증폭부(55)로 구성된다.

쉬프트 레지스터부(51)는 수평동기신호 펄스(HSYNC)를 소오스 펄스 클럭(HCLK)에 의해 쉬프트시켜 래치 클럭을 샘플링 래치부(52)로 출력한다.

샘플링 래치부(52)는 쉬프트 레지스터부(51)에서 출력되는 래치 클럭에 따라 디지털 R, G, B 데이터를 칼럼(Column)라인별로 샘플링하여 래치시킨다.

홀딩 래치부(53)는 샘플링 래치부(52)에 래치된 R, G, B 데이터를 로드 신호(LD :Load)에 의해 동시에 전달받아 래치시킨다.

디지털/아날로그 컨버터부(54)는 홀딩 래치부(53)에 저장된 디지털 R, G, B 데이터를 아날로그 R, G, B 데이터로 변환한다.

증폭부(55)는 아날로그 신호로 변환된 R, G, B 데이터를 일정폭으로 증폭하여 패널의 데이터 라인으로 출력한다.

즉, 1수평주기동안에 디지털 R, G, B 데이터를 샘플 앤 홀딩 (sample & holding) 후에 아날로그 R, G, B 데이터로 변환하고 이를 전류증폭하여 출력하게 되는데, 상기 홀딩래치부(53)가 n번째 칼럼라인에 해당하는 R, G, B 데이터를 홀딩하고 있다면, 샘플링 래치부(52)는 n+1번째 칼럼라인에 해당하는 R, G, B 데이터를 샘플링하게 된다.

이어서, 도 6a는 종래 액정표시장치에 따른 게이트 드라이버의 구성도이고, 도 6b는 그에 따른 입력파형도이다.

도 6a에 도시한 바와 같이, 쉬프트 레지스터부(61), 레벨쉬프트부(62), 그리고 출력 버퍼부(63)로 구성된다.

쉬프트 레지스터부(61)는 수직동기신호 펄스(VSYNC)를 게이트 펄스 클럭(VCLK)에 의해 쉬프트시켜 주사라인을 순차적으로 인에이블시킨다.

레벨 쉬프트부(62)는 주사라인에 인가되는 신호를 순차적으로 레벨쉬프트시켜 출력 버퍼부(63)로 출력한다.

따라서, 출력 버퍼부(63)와 연결된 복수개의 주사라인들은 순차적으로 인에이블된다.

이상에서와 같이, 종래 액정표시장치는 각각의 데이터 라인마다 박막 트랜지스터를 구비하며, 주사라인에 순차적으로 구동전압을 공급하여 박막 트랜지스터를 온/오프시키고, 이중 턴-온된 박막 트랜지스터를 통해 해당 데이터 라인의 신호전압을 화소영역에 전달하여 화상을 디스플레이 하게된다.

그러나, 상기와 같은 종래 액정표시장치는 고해상도 및 대형화를 만족시키기 위해서 더 많은 화소를 구성할 경우 드라이버의 수 및 사이즈가 증가하게 되어 코스트(cost)가 상승하게 되며, 이는 패키징(Packaging)뿐만 아니라 드라이버와 패널간의 접속 등의 새로운 문제를 야기 시키게 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 데이터 라인의 수를 종전의 절반 수준으로 감소시키면서 동일한 화상 표현이 가능하도록 하여 코스트를 절감시킬 수 있는 액정표시장치에 따른 소오스 드라이버를 제공하는데 그 목적이 있다.

본 발명의 액정표시장치에 따른 소오스 드라이버는 제 1기판과 제 2기판, 그리고 그 사이에 봉입된 액정을 포함한 액정표시장치의 데이터 라인에 화상신호를 인가하는 소오스 드라이버에 있어서, 스타트 펄스를 쉬프트시켜 래치클럭을 출력하는 n 클럭 쉬프트 레지스터부; 상기 쉬프트 레지스터부에서 출력되는 래치 클럭에 따라 $2n$ 개의 칼럼라인중 홀수번째 칼럼라인에 해당하는 디지털 화상신호를 샘플링하여 래치시키는 제 1 샘플링 래치부; 상기 쉬프트 레지스터부에서 출력되는 래치 클럭에 따라 $2n$ 개의 칼럼라인중 짝수번째 칼럼라인에 해당하는 디지털 화상신호를 샘플링하여 래치시키는 제 2 샘플링 래치부; 제 1로드신호에 의해 상기 제 1 샘플링 래치부에 저장된 데이터를 전달받아 래치시키고, 제 2로드신호에 의해 상기 제 2 샘플링 래치부에 저장된 데이터를 전달받아 래치시키는 홀딩 래치부; 상기 홀딩 래치부에 저장된 홀수번째 칼럼라인에 해당하는 디지털 화상신호 또는 짝수번째 칼럼라인에 해당하는 디지털 화상신호를 아날로그 데이터로 변환하는 D/A컨버터부; 및 상기 D/A컨버터부에서 출력되는 홀수번째 칼럼라인에 해당하는 아날로그 화상신호 또는 짝수번째 칼럼라인에 해당하는 아날로그 화상신호를 일정폭으로 증폭하는 증폭부를 포함하여 구성된다.

발명의 구성 및 작용

이하, 본 발명의 액정표시장치의 소오스 드라이버를 첨부된 도면을 참조하여 설명하기로 한다.

먼저, 본 발명의 액정표시장치는 인접한 두 개의 주사라인에 인가되는 구동신호를 제어하여 하나의 데이터 라인으로 그 양쪽의 화소영역에 화상신호를 전달할 수 있도록 함으로써 데이터 라인의 수를 절반으로 감소시키는데 그 특징이 있다.

도 7a은 본 발명 제 1 실시예에 따른 액정표시장치의 구성도이다.

도 7a에 도시한 바와 같이, 로우(Row)방향으로 주사 라인 ($G1, G2, \dots, Gn-1, Gn$)들이 형성되고, 주사라인 ($G1, G2, \dots, Gn-1, Gn$)들을 가로지르는 칼럼(Column)방향으로 데이터라인 ($D1, D2, \dots, Dn-1, Dn$)들이 형성된다.

주사라인($G1, G2, \dots, Gn-1, Gn$)과 데이터 라인($D1, D2, \dots, Dn-1, Dn$)이 교차하는 지점에서 데이터라인 ($D1, D2, \dots, Dn-1, Dn$)을 중심으로 좌측의 화소영역에 화상신호를 전달하는 제 1 스위칭부(71)가 형성되고, 데이터 라인을 중심으로 우측의 화소영역에 화상신호를 전달하는 제 2 스위칭부(73)가 형성된다.

그리고 제 1 스위칭부(71)에는 제 1화소전극(71c)이 연결되고 제 2 스위칭부(73)에는 제 2 화소전극(73c)이 연결된다.

여기서, 상기 제 1 스위칭부(71)와 제 2 스위칭부(73)는 박막 트랜지스터로 구성하며, 상기 박막 트랜지스터는 N타입 박막 트랜지스터 또는 P타입 박막 트랜지스터로 구성한다.

이에 도 7a의 'X'부분을 중심으로 보다 상세하게 설명하기로 한다.

데이터 라인 ($D1$)의 좌측에 구성되는 제 1 스위칭부(71)는 소오스 또는 드레인이 데이터 라인($D1$)에 연결되고 게이트가 해당 주사라인($G1$)에 연결된 제 1박막 트랜지스터(71a)와, 상기 제 1 박막 트랜지스터(71a)와 직렬로 연결되고 게이트가 다음번 주사라인($G2$)에 게이트가 연결되는 제 2 박막 트랜지스터(71b)로 구성된다.

상기 제 2 박막 트랜지스터 (71b)에는 제 1 화소전극(71c)이 연결되어 상기 제 1, 제 2 박막 트랜지스터 (71a, 71b)들의 온/오프 동작에 의해 선택적으로 화상신호가 전달된다.

상기 데이터 라인($D1$)의 우측에 구성되는 제 2 스위칭부(73)는 게이트가 해당 주사라인($G1$)에 연결되고 소오스 또는 드레인이 데이터 라인($D1$)에 연결되는 제 3 박막 트랜지스터 (73a)와, 상기 제 3 박막 트랜지스터(73a)와 직렬로 연결되고 게이트가 해당 주사라인($G1$)에 연결되는 제 4박막 트랜지스터 (73b)로 구성된다.

여기서, 상기 제 2 스위칭부(73)는 제 3 박막 트랜지스터(73a)만을 구성하는 것도 가능하다.

이와 같이 구성된 본 발명의 제 1 실시예에 따른 액정표시장치에 있어서, 제 1화소전극과 제 2 화소전극에 화상신호를 전달하는 과정을 도 7b에 도시된 파형도를 참조하여 설명하기로 한다.

도 7b는 본 발명 제 1 실시예에 따른 액정표시장치의 주사라인에 인가되는 구동신호의 파형을 나타내었다.

도 7b에 도시한 바와 같이, 1 수평주기를 2구간으로 나누어서 제 1 구간(a)에서는 데이터 라인($D1, D2, \dots, Dn-1, Dn$)들을 중심으로 좌측과 우측의 화소영역에 화상신호를 인가하고 제 2구간(b)에서는 우측의 화소영역에만 화상신호를 인가한다.

즉, 첫 번째 주사라인($G1$)에는 1수평주기동안에 하이(high)신호를 인가하고, 두 번째 주사라인($G2$)에는 1/2수평주기동안(정확하게 1/2이 아니어도 됨) 즉, (a)구간동안에만 하이신호를 인가하고 나머지 1/2수평주기동안에는 로우(low)신호를 인가한다.

따라서, 첫 번째 주사라인($G1$)과 두 번째 주사라인($G2$)이 모두 하이인 동안에는 제 1 스위칭부(71)를 구성하고 있는 제 1, 제 2 박막 트랜지스터(71a, 71b)와 제 2 스위칭부(73)를 구성하고 있는 제 3, 제 4 박막 트랜지스터 (73a, 73b)가 모두 턴-온상태가 되어 제 1 화소전극(71c)과 제 2 화소전극(73c)에 화상신호가 전달된다.

이후, 두 번째 주사라인(G2)에 로우신호를 인가하면, 제 2 박막 트랜지스터(71b)가 턴-오프 상태가 되어 제 1 화소전극(71c)에는 화상신호가 전달되지 않고 제 2 화소전극(73c)에만 화상신호가 전달된다.

이와 같이 1수평주기를 2구간(a,b)으로 나누어서 하나의 데이터 라인에 실린 화상신호를 좌측이나 우측 또는 좌,우 동시적으로 화소전극에 선택적으로 전달할 수가 있다.

결과적으로, 주사라인에 인가되는 구동신호를 제어하여 하나의 데이터 라인이 좌측과 우측의 화소영역에 화상신호를 전달하므로 데이터 라인의 수를 종래에 비해 절반으로 감소시킬 수 있고 그로 인해 소오스 드 라이버의 수도 절반으로 감소시킬 수가 있다.

이어서, 도 8a는 본 발명 제 2 실시예에 따른 액정표시장치의 구성도이다.

도 8a에 도시한 바와 같이, 전술한 제 1 실시예와 비교하여 제 1 스위칭부(71)를 구성하고 있는 제 1 박막 트랜지스터 (71a)와 제 2 박막 트랜지스터(71b)의 게이트 접속부위가 서로 달라지는 것을 볼 수 있다.

즉, 본 발명의 제 2 실시예에 따른 제 1 스위칭부(71)는 소오스 또는 드레인이 데이터 라인(D1)에 연결되고 게이트가 다음번 주사라인(G2)에 연결되는 제 1 박막 트랜지스터(71a)와 상기 제 1 박막 트랜지스터 (71a)와 직렬로 연결되며 게이트는 해당 주사라인(G1)에 연결되는 제 2 박막 트랜지스터(71b)로 구성된다.

이때, 제 2 스위칭부(73)는 제 1 실시예에 따른 구성과 동일하다.

이와 같은 본 발명의 제 2 실시예에 따른 액정표시장치에 있어서 주사라인에 도 8b와 같은 파형을 인가하면, 액정 패널의 상단에서부터 하단쪽으로 이동하면서 화상이 디스플레이 되며, 하나의 데이터 라인이 좌측과 우측의 화소영역에 화상신호를 전달하게 되어 제 2 실시예 또한 데이터 라인의 수를 감소시킬 수가 있다.

한편, 도 9a는 본 발명의 제 3 실시예에 따른 액정표시장치의 구성도이고, 도 9b는 주사라인에 인가되는 구동신호 파형도이다.

도 9a에 도시한 바와 같이, 본 발명의 제 3 실시예는 제 1 스위칭부(71)를 상기 데이터라인(D1, D2,.....Dn-1, Dn)의 우측에 구성하고 제 2 스위칭부(73)를 좌측에 구성하였다.

즉, 본 발명의 제 1, 제 2 실시예에서는 상기 제 1 스위칭부(71)를 데이터 라인(D1, D2,.....Dn-1, Dn)의 좌측에 구성하였으나, 본 발명 제 3 실시예에서는 우측에 구성하였다.

이와 같은 본 발명 제 3 실시예에 따른 액정표시장치는 로우방향으로 형성된 복수개의 주사라인 (G1,G2,.....Gn-1, Gn)들과, 상기 주사라인들과 교차하는 방향으로 형성된 데이터라인(D1, D2,.....Dn-1, Dn)들과, 각 주사라인과 교차하는 데이터라인 (D1, D2,.....Dn-1, Dn)의 우측에 형성되는 제 1 스위칭부 (71)들과, 상기 데이터라인(D1, D2,.....Dn-1, Dn)의 좌측에 형성되는 제 2 스위칭부(73)들과, 상기 제 1 스위칭부(71)에 연결된 제 1화소전극(71c)과 상기 제 2 스위칭부(73)에 연결된 제 2화소전극(73c)으로 구성된다.

이를 도 9a의 'X'부분을 중심으로 보다 상세하게 설명하면 다음과 같다.

제 1 스위칭부(71)는 주사라인(G1)과 데이터 라인 (D1)이 교차하는 지점에서 데이터 라인이 우측에 형성되며 제 1 스위칭부(71)를 구성하는 제 1 박막 트랜지스터(71a)와 제 2 박막 트랜지스터(71b)중 제 2 박막 트랜지스터 (71b)의 게이트가 다음번 주사라인 (G2)에 연결된다.

즉, 소오스 또는 드레인이 데이터 라인(D1)에 연결되고 게이트가 해당 주사라인(G1)에 연결되는 제 1 박막 트랜지스터(71a)와, 상기 제 1 박막 트랜지스터(71a)와 직렬로 연결되고 게이트가 다음번 주사라인(G2)에 연결되는 제 2 박막 트랜지스터(71b)로 구성된다.

그리고 제 2 스위칭부(73)는 데이터 라인(D1)을 중심으로 좌측에 형성되며 두 개의 박막 트랜지스터로 구성된다.

즉, 소오스 또는 드레인이 데이터 라인(D1)에 연결되고 게이트가 해당 주사라인(G1)에 연결되는 제 3박막 트랜지스터(73a)와, 제 3 박막 트랜지스터(73a)와 직렬로 연결되며 게이트가 해당 주사라인(G1)에 연결되는 제 4 박막 트랜지스터 (73b)로 구성된다.

여기서, 제 2 스위칭부(73)는 하나의 박막 트랜지스터로 구성하는 것이 가능하다.

이와 같이 구성된 본 발명 제 3 실시예에 액정표시장치는 주사라인에 도 9b와 같은 구동신호를 인가한다.

도 9b에 도시한 바와 같이, 1 수평주기동안에 첫 번째 주사라인(G1)에는 하이신호를 인가하고 두 번째 주사라인(G2)에는 (a)구간동안만 하이신호를 인가하고, (b)구간에 동안에는 로우신호를 인가한다.

따라서, 첫 번째 주사라인(G1)과 두 번째 주사라인(G2)에 모두 하이신호가 인가될 경우에는 제 1 스위칭부 (71) 및 제 2 스위칭부(73)를 구성하고 있는 박막 트랜지스터들이 모두 턴-온되어 제 1화소전극(71c)과 제 2 화소전극(73c)에 화상신호가 전달된다.

이후, 첫 번째 주사라인(G1)에는 하이신호가 인가되고 두 번째 주사라인(G2)에는 로우신호가 인가될 경우에는 제 1 스위칭부(71)를 구성하고 있는 제 2 박막 트랜지스터 (71b)가 턴-오프 상태가 되므로 제 1 화소 전극(71c)에는 화상신호가 전달되지 않고 제 2 화소전극(73c)에만 화상신호가 전달된다.

이와 같은 과정을 통해 액정 패널의 상단에서부터 하단쪽으로 이동하면서 화상이 디스플레이된다.

한편, 도 10a는 본 발명의 제 4 실시예에 따른 액정표시장치의 구성도이고, 도 10b는 도 10a에 따른 파형도이다.

도 10a에 도시한 바와 같이, 본 발명의 제 4 실시예는 제 3 실시예와 비교하여 제 1 스위칭부(71)를 구성하고 있는 제 1, 제 2 박막 트랜지스터(71a, 71b)들의 게이트 접속부위를 다르게 구성한 것이다.

즉, 제 3 실시예에서는 제 1 스위칭부(71)를 구성하고 있는 제 1 박막 트랜지스터(71a)와 제 2 박막 트랜지스터(71b)중 제 2 박막 트랜지스터(71b)의 게이트가 다음번 주사라인(G2)에 연결되었으나, 본 발명의 제 4 실시예에서는 제 1 박막 트랜지스터(71a)의 게이트가 다음번 주사라인(G2)에 연결되도록 구성하였다.

즉, 본 발명 제 4 실시예에 따른 제 1 스위칭부(71)는 소오스 또는 드레인이 데이터 라인(D1)에 연결되고 게이트가 다음번 주사라인(G2)에 연결되는 제 1 박막 트랜지스터(71a)와, 제 1 박막 트랜지스터(71a)와 직렬로 연결되며 게이트가 해당 주사라인(G2)에 연결되는 제 2 박막 트랜지스터(71b)로 구성된다.

따라서, 도 10b와 같이 주사라인에 구동신호를 인가하면 데이터 라인(D1)을 중심으로 좌측과 우측에 선택적으로 화상신호를 인가할 수 있다.

그리고 화상은 액정패널의 상단에서부터 하단쪽으로 이동하면서 디스플레이된다.

이어서, 도 11a는 본 발명의 제 5 실시예에 따른 액정표시장치의 구성도이고 도 11b는 주사라인에 인가되는 구동신호의 파형을 나타내었다.

제 5 실시예는 제 1, 제 2 스위칭부를 구성하고 있는 박막 트랜지스터들이 형성되는 위치에 있어서 제 1 실시예 내지 제 4 실시예의 구성과 차이가 있다.

즉, 본 발명의 제 1 실시예 내지 제 4 실시예는 데이터 라인(D1, D2, ..., Dn-1, Dn)과 주사라인(G1, G2, ..., Gn-1, Gn)이 교차하는 지점에 박막 트랜지스터 및 화소전극이 형성되는데, 상기 데이터 라인에 대해 첫 번째 주사라인과의 교차점에서부터 순차적으로 두 번째, 세 번째, n-1번째 주사라인과의 교차점에 형성된다.

그리고 데이터 라인과 n 번째 주사라인이 교차하는 지점에서는 박막 트랜지스터 및 화소전극들이 형성되지 않는다.

하지만, 본 발명의 제 5 실시예에서는 데이터 라인에 대해 첫 번째 주사라인이 교차하는 지점에는 박막 트랜지스터 및 화소전극이 형성되지 않고, 두 번째 주사라인에서부터 세 번째, 네 번째, ..., n번째 주사라인이 교차하는 지점에 박막 트랜지스터 및 화소전극이 형성된다.

본 발명의 제 1 실시예 내지 제 4 실시예에서는 주사라인과 데이터 라인이 교차하는 지점에 형성되는 4개의 박막 트랜지스터들중 어느 하나가 다음번 주사라인에 연결되었으나, 제 5 실시예에서는 4개의 박막 트랜지스터들중 어느 하나가 이전 주사라인에 연결되는 구조를 갖는다.

이와 같은 본 발명의 제 5 실시예의 경우 도 11b와 같이 주사라인에 구동신호를 인가하면 액정패널의 하단 쪽에서 상단쪽으로 이동하면서 화상이 디스플레이 된다.

도 11b에 도시된 바와 같이, 1 수평주기를 2구간(a, b)으로 나누어서 주사라인에 구동신호를 인가함으로써 데이터 라인을 중심으로 좌측과 우측에 화소영역에 선택적으로 화상신호를 인가할 수가 있다.

이를 보다 상세하게 설명하면 다음과 같다.

도 11a에 도시한 바와 같이, 일방향으로 복수개의 주사라인(G1, G2, ..., Gn-1, Gn)들이 형성되고, 각 주사라인들과 교차하는 방향으로 데이터라인(D1, D2, ..., Dn-1, Dn)들이 형성된다.

각 데이터 라인(D1, D2, ..., Dn-1, Dn)의 좌측에는 제 1 스위칭부(71)가 구성되고 우측에는 제 2 스위칭부(73)가 구성된다.

제 1 스위칭부(71) 및 제 2 스위칭부(73)는 박막 트랜지스터로 구성되며, 상기 박막 트랜지스터는 N타입 박막 트랜지스터 혹은 P타입 박막 트랜지스터로 구성된다.

상기 데이터 라인(D1)의 좌측에 구성되는 제 1 스위칭부(71)중 제 2 박막 트랜지스터(71b)의 게이트는 이전 주사라인(Gn-1)에 연결되고 제 1 박막 트랜지스터(71a)의 게이트는 해당 주사라인(Gn)에 연결된다.

각 데이터 라인(D1, D2, ..., Dn-1, Dn)의 우측에 형성되는 제 2 스위칭부(73)는 두 개의 박막 트랜지스터로 구성되며 상기 두 개의 박막 트랜지스터(제 3, 제 4 박막 트랜지스터)의 게이트는 모두 해당 주사라인(Gn)에 연결된다.

여기서, 상기 제 2 스위칭부(73)를 하나의 박막 트랜지스터로 구성하는 것도 가능하다.

이를 도 11a의 'X'부분을 중심으로 보다 상세하게 설명하기로 한다.

도 11b에 도시한 바와 같이, 1 수평주기동안에 해당 주사라인에는 하이신호를 인가하고 이전 주사라인(Gn-1)은 제 1 구간(a)동안에만 하이신호를 인가한다.

따라서, 해당 주사라인(Gn)과 이전 주사라인(Gn-1)이 모두 하이(high)인 구간에서는 제 1, 제 2 스위칭부(71, 73)를 구성하고 있는 박막 트랜지스터들이 모두 턴-온상태가 되어 제 1, 제 2 화소전극(71c, 73c)에 화상신호가 전달된다.

이어서, 제 2구간(b)동안에 이전 주사라인(Gn-1)에 로우신호를 인가하면 상기 제 1 스위칭부(71)를 구성하고 있는 제 2 박막 트랜지스터(71b)가 턴-오프 상태가 되어 제 1 화소전극(71c)에는 화상신호가 전달되지 않는다.

반면에 데이터 라인 우측의 제 2 스위칭부(73)는 여전히 턴-온 상태를 유지하게 되므로 상기 제 2 화소전극(73c)에만 화상신호가 전달된다.

이와같이, 데이터 라인(D1)을 중심으로 좌측과 우측에서 선택적으로 화상신호를 전달할 수가 있어 실시예5 또한 데이터 라인의 수를 절반으로 감소시킬 수 있다.

도 12a는 본 발명 제 6 실시예에 따른 액정표시장치의 구성도이고 도 12b는 본 발명 제 6 실시예에 따른

액정표시장치의 주사라인에 인가되는 구동신호의 파형도를 도시한 것이다.

본 발명 제 6 실시예에 따른 액정표시장치는 본 발명 제 5 실시예와 비교하여 제 1 스위칭부(71)를 구성하고 있는 제 1 박막 트랜지스터(71a)와 제 2 박막 트랜지스터(71b)의 게이트 접속 부위가 서로 다음을 알 수 있다.

즉, 본 발명 제 5 실시예에서는 제 1 박막 트랜지스터(71a)의 게이트가 해당 주사라인(G_n)에 연결되고 제 2 박막 트랜지스터(71b)의 게이트는 이전 주사라인(G_{n-1})에 연결되었으나, 본 발명 제 6 실시예에서는 제 1 박막 트랜지스터(71a)의 게이트가 이전 주사라인(G_{n-1})에 연결되고 제 2 박막 트랜지스터(71b)의 게이트가 해당 주사라인(G_n)에 연결된다.

이때, 제 2 스위칭부(73)는 제 5 실시예의 구성과 동일하다.

이와 같이 주사라인에 도 12b와 같이 구동신호를 인가하면 하나의 데이터 라인을 중심으로 좌측과 우측에 선택적으로 화상신호를 전달할 수가 있다.

그리고 제 5 실시예와 동일하게 액정 패널의 하단쪽에서부터 상단쪽으로 이동하면서 화상이 디스플레이 된다.

이어서, 도 13a는 본 발명 제 7 실시예에 따른 액정표시장치의 구성도이고, 도 13b는 주사라인에 인가되는 구동신호의 파형도이다.

도 13a에 도시한 바와 같이, 본 발명 제 7 실시예에 따른 액정표시장치는 데이터라인을 중심으로 우측에 제 1 스위칭부를 구성하고 좌측에 제 2 스위칭부를 구성하였다.

도 13a에서와 같이, 일방향으로 형성된 주사라인들($G1, G2, \dots, G_{n-1}, G_n$)과, 상기 주사라인들과 교차하는 방향으로 형성된 데이터라인($D1, D2, \dots, D_{n-1}, D_n$)들과, 상기 각 주사라인과 데이터 라인이 교차하는 지점에서 데이터 라인의 양측에 형성되며 상기 해당 주사라인과 이전 주사라인에 의해 제어되는 제 1 스위칭부(71) 및 제 2 스위칭부(73)와, 상기 제 1 스위칭부(71)와 연결되는 제 1 화소전극(71c)과, 상기 제 2 스위칭부(73)와 연결되는 제 2 화소전극(73c)을 포함하여 구성된다.

이를 도 13a의 'X' 부분을 중심으로 보다 상세하게 설명하면 다음과 같다.

제 1 스위칭부(71)는 소오스 또는 드레인이 데이터 라인 ($D1$)에 연결되고 게이트가 해당 주사라인(G_n)에 연결되는 제 1 박막 트랜지스터(71a)와 상기 제 1 박막 트랜지스터(71a)와 직렬로 연결되고 게이트가 이전 주사라인(G_{n-1})에 연결되는 제 2 박막 트랜지스터(71b)로 구성된다.

그리고 제 2 스위칭부(73)는 소오스 또는 드레인이 데이터 라인($D1$)에 연결되고 게이트가 해당 주사라인(G_n)에 연결되는 제 3 박막 트랜지스터(73a)와, 상기 제 3 박막 트랜지스터(73a)와 직렬로 연결되고 게이트가 해당 주사라인(G_n)에 연결되는 제 4 박막 트랜지스터(73b)로 구성된다.

상기 제 2 스위칭부(73)는 제 3 박막 트랜지스터(73a)만을 구성하는 것이 가능하다.

이와 같이 구성된 액정표시장치의 주사라인에 도 13b와 같이 구동신호를 인가하면, 액정 패널의 하단쪽에서부터 상단쪽으로 이동하면서 화상이 디스플레이된다. 이는 앞에서 설명한 제 5, 제 6 실시예와 동일하다.

한편, 도 14a는 본 발명 제 8 실시예에 따른 액정표시장치의 구성도이고, 도 14b는 주사라인에 인가되는 구동신호 파형도이다.

본 발명 제 8 실시예는 제 7 실시예와 비교하여 제 1 스위칭부를 구성하고 있는 제 1 박막 트랜지스터(71a)의 게이트와 제 2 박막 트랜지스터(71b)의 게이트 접속부위가 서로 상이하다.

즉, 본 발명 제 8 실시예에 따른 제 1 스위칭부(71)는 소오스 또는 드레인이 데이터라인($D1$)에 연결되고 게이트가 이전 주사라인(G_{n-1})에 연결되는 제 1 박막 트랜지스터 (71a)와, 상기 제 1 박막 트랜지스터 (71a)와 직렬로 연결되고 게이트가 해당 주사라인(G_n)에 연결되는 제 2 박막 트랜지스터(71b)로 구성된다.

여기서, 상기 제 2 스위칭부(73)는 제 7 실시예에 따른 제 2 스위칭부(73)와 동일한 구성을 갖는다.

이와 같은 본 발명 제 8 실시예에 따른 액정표시장치의 주사라인에 도 14b와 같이 구동신호를 인가하면 액정패널의 하단쪽에서부터 상단쪽으로 이동하면서 화상이 디스플레이 된다.

이상에서 설명한 바와 같이, 본 발명의 액정표시장치는 하나의 데이터 라인이 그 좌측과 우측의 화소영역에 화상신호를 전달할 수 있도록 함으로써, 데이터 라인의 수를 절반으로 줄일 수가 있다.

이와 같이 데이터 라인의 수를 절반으로 줄일 수 있으므로 데이터 라인에 구동신호를 인가하는 소오스 드라이버의 수도 절반으로 줄일 수가 있다.

이하에서 본 발명의 액정표시장치를 구동하기 위한 드라이버에 대해서 설명하면 다음과 같다.

먼저, 전술한 본 발명의 액정표시장치는 데이터 라인의 수를 절반으로 감소시킬 수 있는 반면에 이를 만족시키기 위해서는 소오스 드라이버의 구성이 달라져야 한다.

즉, 본 발명의 액정표시장치를 구동하기 위한 소오스 드라이버는 데이터 라인의 384라인이면 총 768라인에 대응하는 화상신호를 핸들링(handling)할 수 있어야 한다.

이를 위해 소오스 드라이버를 도 15a와 같이 구성하는 것이 가능하다.

도 15a는 본 발명에 따른 소오스 드라이버의 제 1 실시예를 나타내었다.

도 15a에 도시된 소오스 드라이버는 종래기술의 소오스 드라이버와 비교하여 샘플링 래치부의 셀 수를 2배로 증가시켰다.

이는 본 발명의 소오스 드라이버가 384개의 데이터 라인을 구동하지만, 실질적으로는 784라인의 화상데이터를 핸들링해야 하기 때문이다.

도 15a에 도시한 바와 같이, 수평동기신호 펄스를 소오스 펄스 클럭(HCLK)에 의해 쉬프트시켜 래치 클럭을 출력하는 384클럭 쉬프트 레지스터부(151)와, 쉬프트레지스터부(151)에서 출력되는 래치 클럭에 따라 768개의 칼럼라인중 홀수번째 칼럼라인에 해당하는 디지털 R, G, B 데이터를 샘플링하여 래치시키는 제 1 샘플링 래치부(152)와, 짝수번째 칼럼라인에 해당하는 디지털 R, G, B 데이터를 샘플링하여 래치시키는 제 2 샘플링 래치부(152a)와, 제 1 로드신호(LD0)에 의해 제 1 샘플링 래치부(152)에 저장된 데이터를 전달받아 래치시키고, 제 2로드신호(LD1)에 의해 제 2 샘플링 래치부(152a)에 저장된 데이터를 전달받아 래치시키는 제 2로드신호(LD1)에 의해 제 2 샘플링 래치부(152a)에 저장된 데이터를 전달받아 래치시키는 홀딩 래치부(153)에 저장된 홀수번째 칼럼에 해당하는 디지털 R, G, B 데이터 또는 짝수번째 칼럼에 해당하는 디지털 R, G, B 데이터를 아날로그 데이터로 변환하는 D/A 컨버터부(154)와, D/A 컨버터부(154)에서 출력되는 홀수번째 칼럼에 해당하는 아날로그 R, G, B 데이터 또는 짝수번째 칼럼에 해당하는 아날로그 R, G, B 데이터의 전류를 일정 쪽으로 증폭하는 증폭부(155)로 구성된다.

이와 같이 본 발명의 제 1 실시예에 따른 소오스 드라이버는 총 768개의 칼럼라인중 홀수번째 칼럼라인에 해당하는 화상데이터를 샘플링하여 래치시키는 제 1 샘플링 래치부(152)와 짝수번째 칼럼라인에 해당하는 화상데이터를 샘플링하여 래치시키는 제 2 샘플링 래치부(152a)로 구성한다.

즉, 1수평주기를 2구간으로 나누어서 약 1/2수평주기동안(정확하게 1/2이 아니어도 됨)에는 홀수번째 칼럼라인에 해당하는 R, G, B 데이터를 제 1 샘플링 래치부(152)에서 샘플링 및 래치시키고, 나머지 1/2수평주기동안에는 짝수번째 칼럼라인에 해당하는 R, G, B 데이터를 제 2 샘플링 래치부(152a)에서 샘플링 및 래치시킨다.

따라서, 총 768개의 칼럼라인에 해당하는 R, G, B 데이터를 샘플링할 수 있다.

이와 같이, 제 1 샘플링 래치부(152)와 제 2 샘플링 래치부(152a)에 나누어서 래치된 디지털 화상신호는 순차적으로 홀딩 래치부(153)로 전달된다.

즉, 제 1로드 신호(LD0)에 의해 제 1 샘플링 래치부(152)에 저장된 화상데이터가 홀딩 래치부(153)로 로드되고, 제 2 로드 신호(LD1)에 의해 제 2 샘플링 래치부(152a)에 저장된 화상데이터가 홀딩 래치부(153)로 로드된다.

홀딩 래치부(153)에 로드된 R, G, B 디지털 데이터는 D/A 컨버터부(154)에서 아날로그 신호로 변환되고, 아날로그 신호로 변환된 R, G, B 데이터는 증폭부(155)에서 전류가 증폭된다.

그리고 1/2수평주기동안에 홀수번째 칼럼라인에 해당하는 R, G, B 데이터가 패널에 인가되어 디스플레이되고, 나머지 1/2 수평주기동안에는 짝수번째 칼럼라인에 해당하는 R, G, B 데이터가 패널에 인가되어 디스플레이된다.

도 15b는 도 15a에 따른 소오스 드라이버의 동작파형도를 나타낸 것으로 1 수평주기동안에 홀수번째 칼럼라인을 샘플링한 디지털 데이터와 짝수번째 칼럼라인을 샘플링한 디지털 데이터가 홀딩 래치부(153)로 로드(load)되는 것을 알 수 있다.

도 16a는 본 발명에 따른 소오스 드라이버의 다른 실시예를 나타낸 구성도이고, 도 16b는 도 16a에 따른 동작파형도이다.

도 16a에 도시된 소오스 드라이버는 1 수평주기동안에 홀수번째 칼럼라인과 짝수번째 칼럼라인으로 나누어서 액정패널에 인가하기 위해 샘플링 래치부(162, 162a), 홀딩래치부(163, 162a), DAC부(164, 164a), 증폭부(165, 165a)를 각각 두 개씩으로 구성한 것이다.

그리고 두 개의 증폭부(165, 165a)의 출력을 선택적으로 데이터 라인으로 전달하기 위한 스위칭부(166)가 더 구성된다.

따라서, 제 1 샘플링 래치부(162)는 홀수번째 칼럼라인에 해당하는 화상신호를 샘플링하고 제 2 샘플링 래치부(162a)는 짝수번째 칼럼라인에 해당하는 화상신호를 샘플링한다.

그리고 제 1 샘플링 래치부(162)에 래치된 홀수번째 칼럼라인에 해당하는 화상신호는 로드신호(LD)에 의해 홀수번째 칼럼라인에 해당하는 화상신호를 저장하는 제 1 홀딩래치부(163)로 로드된다.

제2샘플링 래치부(162a)에 래치된 짝수번째 칼럼라인에 해당하는 화상신호도 로드신호(LD)에 의해 짝수번째 칼럼라인에 해당하는 화상신호를 저장하는 제2홀딩 래치부(163a)로 로드된다.

이후, 제1홀딩 래치부(163)에 저장된 디지털 화상신호는 제 1 D/A컨버터부(164)에서 아날로그 신호로 변환되고, 제 2 홀딩 래치부(163a)에 저장된 화상신호를 제 2 D/A컨버터부(164a)에서 아날로그 신호로 변환된다.

여기서, 제 1 D/A컨버터부(164)는 홀수번째 칼럼에 해당하는 디지털 화상신호를 아날로그 신호로 변환하고 제2 D/A컨버터부(164a)는 짝수번째 칼럼에 해당하는 디지털 화상신호를 아날로그 신호로 변환한다.

아날로그 신호로 변환된 홀수번째 및 짝수번째 칼럼에 해당하는 화상신호를 다시 일정폭으로 증폭되는데, 상기 증폭부 또한 홀수번째 칼럼에 해당하는 아날로그 신호를 증폭하고 제 1 증폭부(165)와 짝수번째 칼럼에 해당하는 아날로그 신호를 증폭하는 제 2 증폭부(165a)로 구성된다.

따라서, 1/2수평주기동안에는 상기 스위칭부(166)의 동작에 의해 홀수번째 칼럼라인에 해당하는 아날로그 화상신호가 데이터 라인에 인가되고, 나머지 1/2수평주기동안에는 짝수번째 칼럼라인에 해당하는 아날로그 화상신호가 데이터 라인에 인가된다.

여기서, 상기 스위칭부(166)는 1/2수평주기동안에는 제 1 증폭부(165)의 출력과 데이터 라인(D1, D2, ..., Dn-1, Dn)을 전기적으로 연결하고 나머지 1/2수평주기동안에는 제 2증폭부(165a)의 출력과 데이터 라인

(D1, D2, ..., Dn-1, Dn)을 전기적으로 연결한다.

이와 같이 본 발명의 다른 실시예에 따른 소오스 드라이버는 샘플링 래치부, 홀딩 래치부, D/A컨버터부, 그리고 증폭부를 각각 2개씩 구성하므로써, n개의 칼럼 라인으로 2n개의 칼럼라인에 상당하는 화상신호를 액정 패널에 인가할 수가 있다.

이하, 본 발명의 액정표시장치에 따른 게이트 드라이버를 설명하기로 한다.

도 17a는 본 발명에 따른 게이트 드라이버의 제 1 실시예를 나타내었다.

도 17a에 도시한 바와 같이, 크게 쉬프트 레지스터부(171), 로직회로부(172), 레벨 쉬프터부(173), 그리고 출력 버퍼부(174)로 구성된다.

쉬프트 레지스터부(171)는 수직동기신호 펄스(VSYNC)를 게이트 펄스 클럭(VCLK)에 의해 쉬프트시킨다.

로직회로부(172)는 3입력 오아게이트(OR1, OR2, ..., ORn)들로 구성되며 각각의 오아게이트는 쉬프트 레지스터부(171)의 출력을 선택적으로 3개씩 입력하여 논리연산한다.

본 발명의 실시예에 따르면, 3입력 오아게이트들중 첫 번째 오아 게이트 (OR1)는 상기 쉬프트레지스터부(171)의 출력(S1-S2)중 S1, S3, S4를 입력으로 한다.

그리고 두 번째 오아 게이트(OR2)는 S3, S5, S6을 입력으로 하고, 세 번째 오아 게이트(OR3)는 S5, S7, S8을 입력한다.

계속해서 네 번째, 다섯 번째, ..., 마지막 번째까지 이어진다.

레벨 쉬프터부(173)는 주사라인에 인가되는 신호를 순차적으로 레벨쉬프트시켜 출력 버퍼부(174)로 출력한다.

따라서, 출력 버퍼부(174)와 연결된 복수개의 주사라인들은 순차적으로 인에이블된다.

여와 같은 본 발명의 제 1 실시예에 따른 게이트 드라이버의 동작을 도 17b에 도시된 파형도를 참조하여 설명하기로 한다.

도 17b에 도시한 바와 같이, 상기 첫 번째 주사라인 (G1)에는 상기 첫 번째 오아게이트 (OR2)의 출력파형이 인가된다.

이와 같이, 첫 번째 주사라인에서부터 마지막 번째 주사라인까지 순차적으로 인에이블된다.

여기서, 상기 주사라인(G1, G1, ..., Gn-1, Gn)들에 인가되는 신호는 1수평주기동안에 하이상태와 로우상태를 반복하고 있으며 이는 도 7b-10b에 도시된 어느 하나의 주사라인에 인가되는 구동신호의 파형과 동일함을 알 수 있다.

한편, 도 17a에 도시된 상기 오아 게이트의 입력을 다르게 할 수도 있는데 그 예로 첫 번째 오아 게이트(OR1)에 S1, S2를 입력하고, 두 번째 오아 게이트(OR2)에는 S1, S3, S4를 입력하고, 세 번째 오아 게이트(OR3)에는 S3, S5, S6을 입력하는 등 마지막 번째 오아 게이트까지 규칙성 있게 입력할 수도 있다.

상기와 같이 오아 게이트의 입력을 다르게 할 경우에는 주사라인으로 인가되는 구동신호는 도 17b의 하단부에 도시된 G1', G2', G3'와 같은 파형을 갖는다.

이상에서 설명한 바와 같이, 게이트 드라이버 및 소오스 드라이버를 구성하여 1수평주기동안에 2개의 화소영역에 화상신호를 전달하는 본 발명의 액정표시장치에 따르면, 데이터 라인의 수를 감소시킬 수 있고 이로 인해 소오스 드라이버의 수도 감소시킬 수가 있다.

여기서, 1수평주기 동안에 2개의 화소영역에 화상신호를 전달하여야 하므로 각 화소영역에 전달되는 라인타임(line time)이 감소하게 되고, 이에 따라 아날로그 회로의 동작속도를 2배로 빠르게 해당하는 문제가 발생한다.

이러한 문제는 도트 인버전(dot inversion)에서 두드러지게 나타나므로 도 18과 같은 방식으로 화소전극에 화상신호를 기입한다.

도 18은 본 발명의 액정표시장치에 따른 화상신호 기입순서를 나타낸 도로서, 화상신호를 기입하는 순서는 도 18에 도시된 번호순이다.

①과 ②가 모드 (+)극성 신호이므로 ①이 기입되는 순간 ②는 프리차지되므로 1수평주기의 반주기동안만으로도 충전 시간에는 큰 문제가 없다.

그리고 ③과 ④에서는 화상신호의 극성이 바뀌므로 충전 및 방전에 긴 시간이 소요된다. 따라서, ①, ②에서 ③, ④로 넘어가는 사이의 블랭킹 타임(blanking time)동안 데이터 라인 프리차지 (data line precharge) 또는 데이터 라인가의 차지셰어링(charge sharing)으로 충, 방전 시간을 감소시킨다.

한편, ④는 ③이 기입되는 동안 프리차지 되므로 기입시간에는 문제가 없으나, ③의 기입시에는 문제가 될 수 있으므로 1수평주기동안에 주사라인에 인가되는 구동신호의 하이구간(a)과 로우구간(b)이 값을 조정하여 ③의 기입시간을 확보할 수 있다.

발명의 효과

이상에서 상술한 바와 같이, 본 발명의 액정표시장치의 소오스 드라이버는 다음과 같은 효과가 있다.

첫째, 하나의 데이터 라인이 그 좌측과 우측의 두 화소영역에 선택적으로 화상신호를 전달할 수 있으므로 데이터 라인의 수를 절반으로 감소되므로 소오스 드라이버의 수도 절반으로 감소시킬 수 있다.

둘째, 소자의 사이즈를 감소시킬 수 있고 동시에 코스트를 절감시킬 수 있다.

셋째, 동일 사이즈에서 더 많은 화상을 디스플레이 할 수 있으므로 고해상도를 실현 할 수 있다.

(57) 청구의 범위

청구항 1

제 1 기판과 제 2 기판 그리고 그 사이에 봉입된 액정을 포함한 액정표시장치의 데이터 라인에 화상신호를 인가하는 소오스 드라이버에 있어서,

수평동기신호 펄스를 쉬프트시켜 래치 클럭을 출력하는 $n/3$ 클럭 쉬프트 레지스터부;

상기 쉬프트 레지스터부에서 출력되는 래치 클럭에 따라 $2n$ 개의 칼럼라인 중 홀수번째 칼럼라인에 해당하는 디지털 화상신호를 샘플링하여 래치시키는 제1 샘플링 래치부;

상기 쉬프트 레지스터부에서 출력되는 래치 클럭에 따라 $2n$ 개의 칼럼라인중 짝수번째 칼럼라인에 해당하는 디지털 화상신호를 샘플링하여 래치시키는 제 2 샘플링 래치부;

제 1 로드신호에 의해 상기 제 1 샘플링 래치부에 저장된 데이터를 전달받아 래치시키고, 제 2 로드신호에 의해 상기 제 2 샘플링 래치부에 저장된 데이터를 전달받아 래치시키는 홀당 래치부;

상기 홀당 래치부에 저장된 홀수번째 칼럼라인에 해당하는 디지털 화상신호 또는 짝수번째 칼럼라인에 해당하는 디지털 화상신호를 아날로그 데이터로 변환하는 D/A 컨버터부; 및

상기 D/A 컨버터부에서 출력되는 홀수번째 칼럼라인에 해당하는 아날로그 화상신호 또는 짝수번째 칼럼라인에 해당하는 아날로그 화상신호를 일정폭으로 증폭하는 증폭부를 포함하여 구성되는 것을 특징으로 하는 액정표시장치의 소오스 드라이버.

청구항 2

제1항에 있어서, 상기 제 1 샘플링 래치부 및 제 2 샘플링 래치부의 셀 수는 데이터 라인의 수에 따라 결정되는 것을 특징으로 하는 액정표시장치의 소오스 드라이버.

청구항 3

제 1 기판과 제 2 기판, 그리고 그 사이에 봉입된 액정을 포함하는 액정표시장치의 데이터 라인에 화상신호를 인가하는 소오스 드라이버에 있어서,

수평동기신호 펄스를 쉬프트시켜 래치 클럭을 출력하는 $n/3$ 클럭 쉬프트 레지스터부;

상기 쉬프트 레지스터부에서 출력되는 래치 클럭에 따라 $2n$ 개의 칼럼라인을 짝수번째 칼럼라인과 홀수번째 칼럼라인별로 각각 샘플링하여 래치시키는 제 1, 제 2 샘플링 래치부;

로드신호에 의해 상기 제 1, 제 2 샘플링 래치부에 저장된 데이터를 전달받아 각각 래치시키는 제 1, 제 2 홀당 래치부;

상기 제 1, 제 2 홀당 래치부에 저장된 디지털 화상신호를 각각 아날로그 화상신호로 변환하는 제 1, 제 2 D/A컨버터부;

상기 제 1, 제 2 D/A컨버터부에서 출력되는 아날로그 화상데이터를 각각 일정폭으로 증폭하는 제 1, 제 2 증폭부; 및

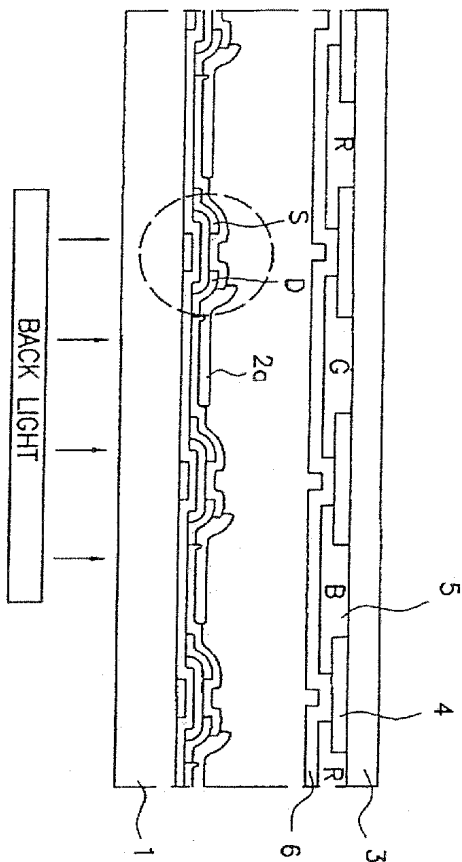
상기 제 1, 제 2 증폭부의 출력을 선택적으로 상기 데이터 라인과 연결시키는 스위칭부를 포함하여 구성되는 것을 특징으로 하는 액정표시장치의 소오스 드라이버.

청구항 4

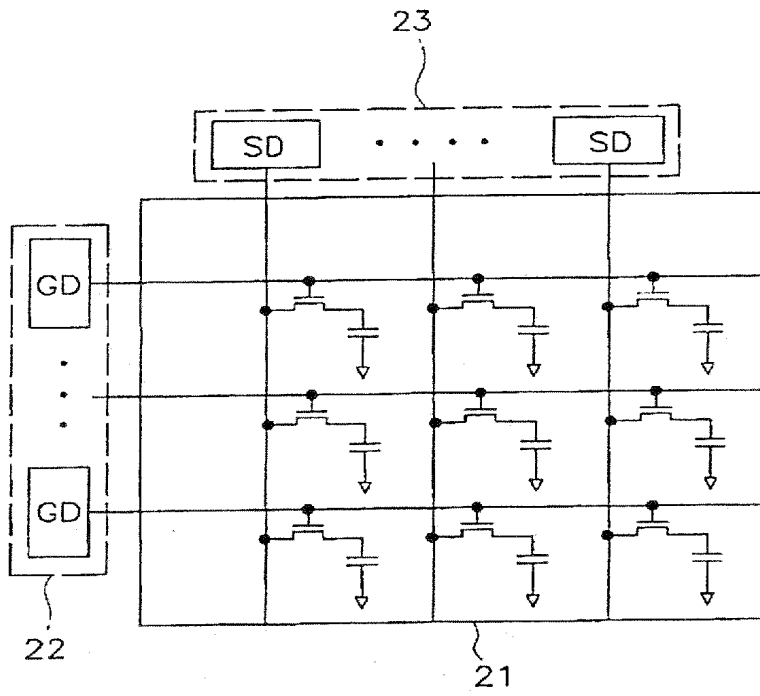
제3항에 있어서, 상기 스위칭부는 1수평주기 동안에 상기 제 1 증폭부의 출력과 상기 제 2 증폭부의 출력을 순차적으로 상기 데이터 라인과 연결시키는 것을 특징으로 하는 액정표시장치의 소오스 드라이버.

도면

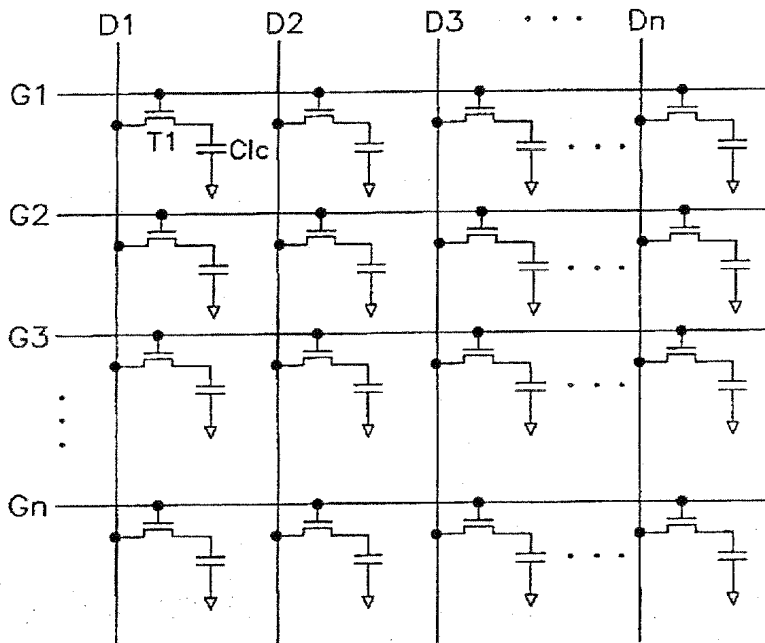
도 1



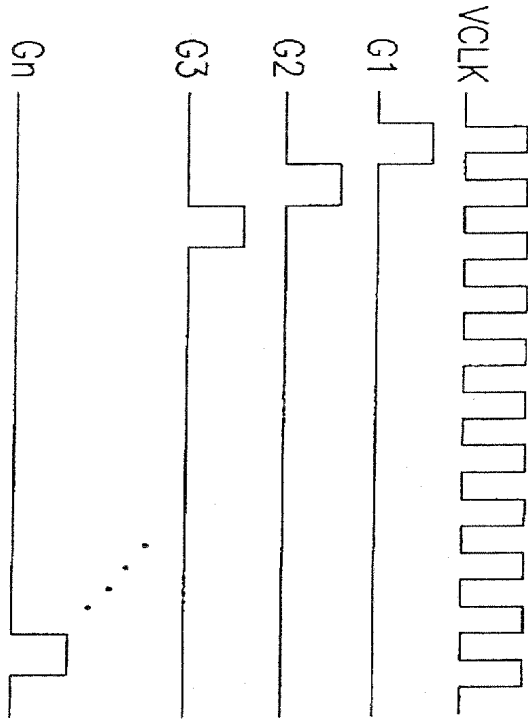
도면2



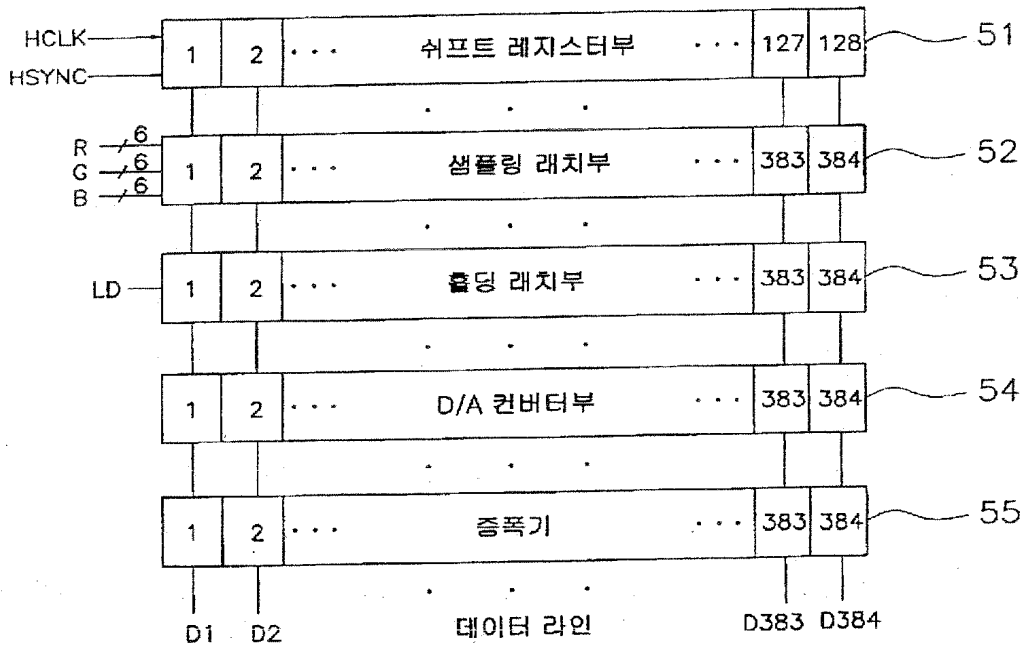
도면3



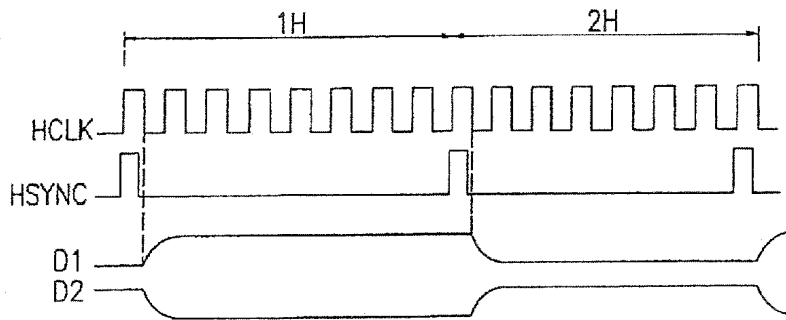
도면4



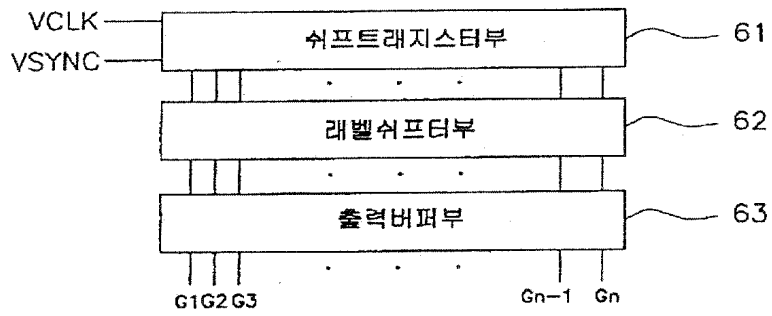
도면5a

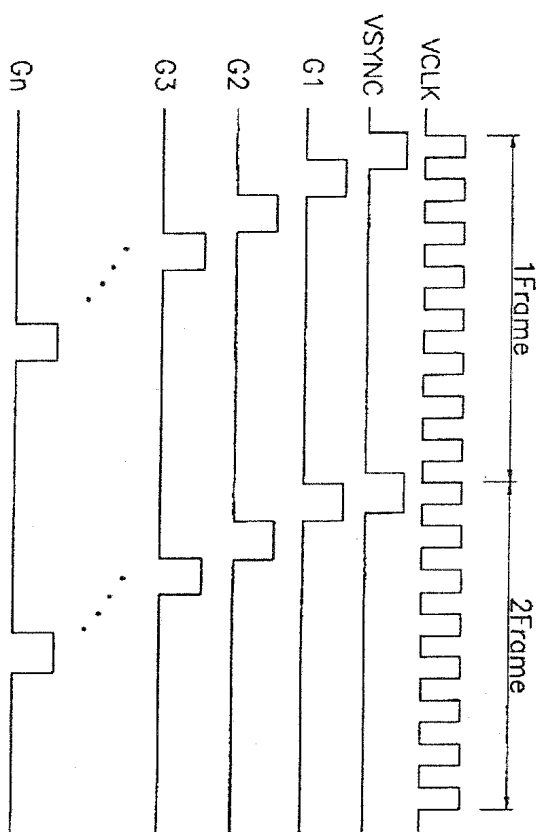


도면5b



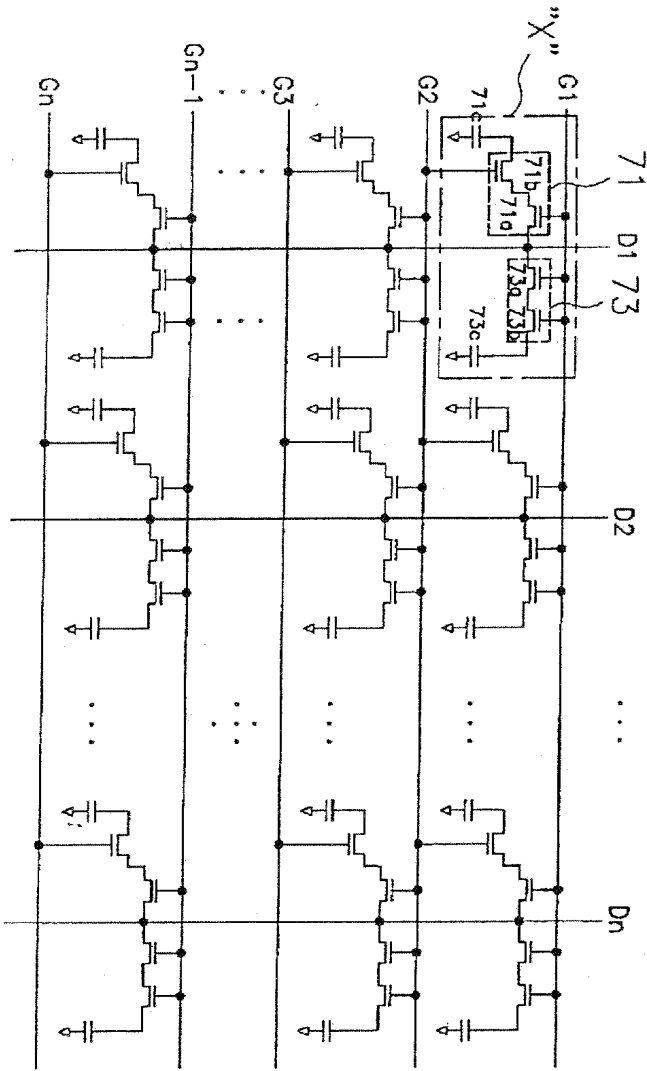
도면6a





도면 6b

도면 7a



도면 7b

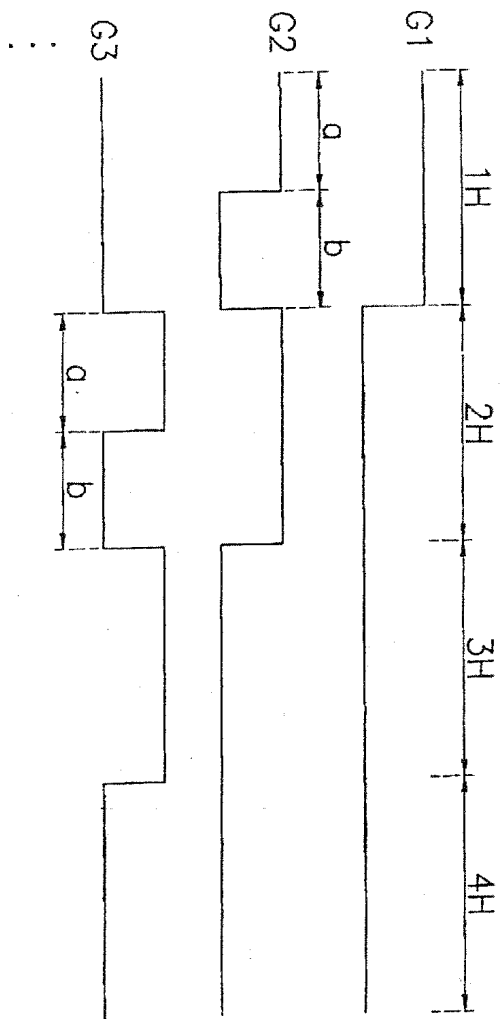
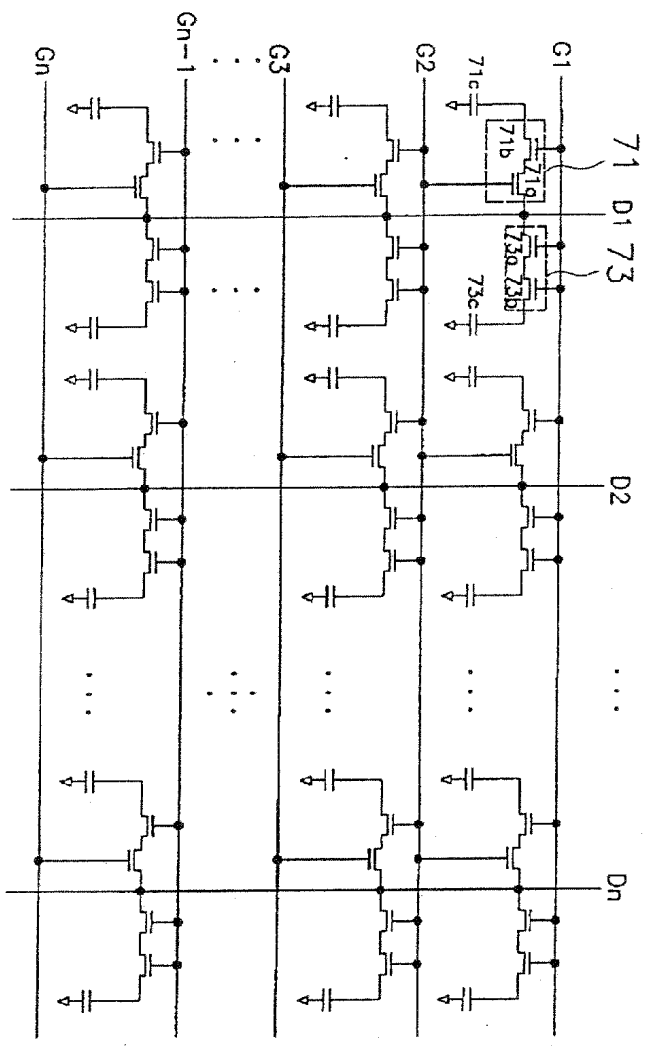
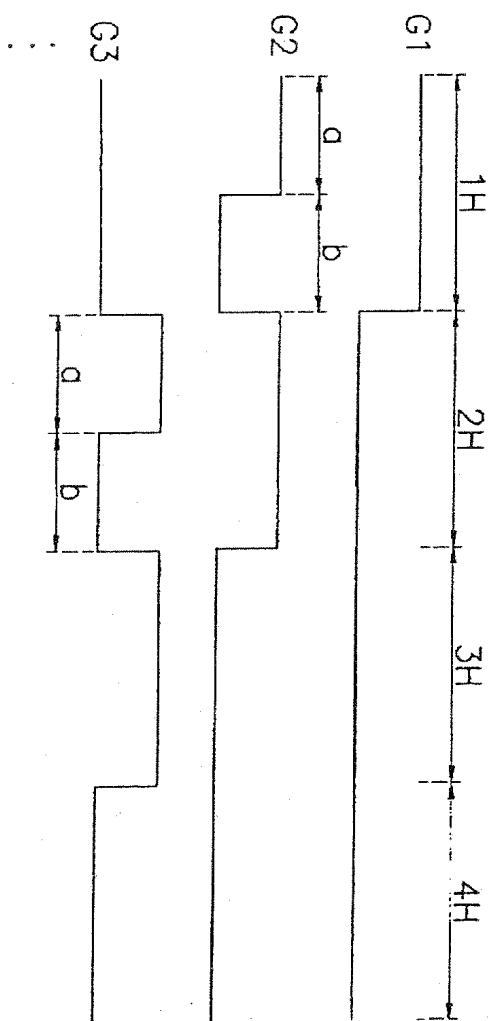


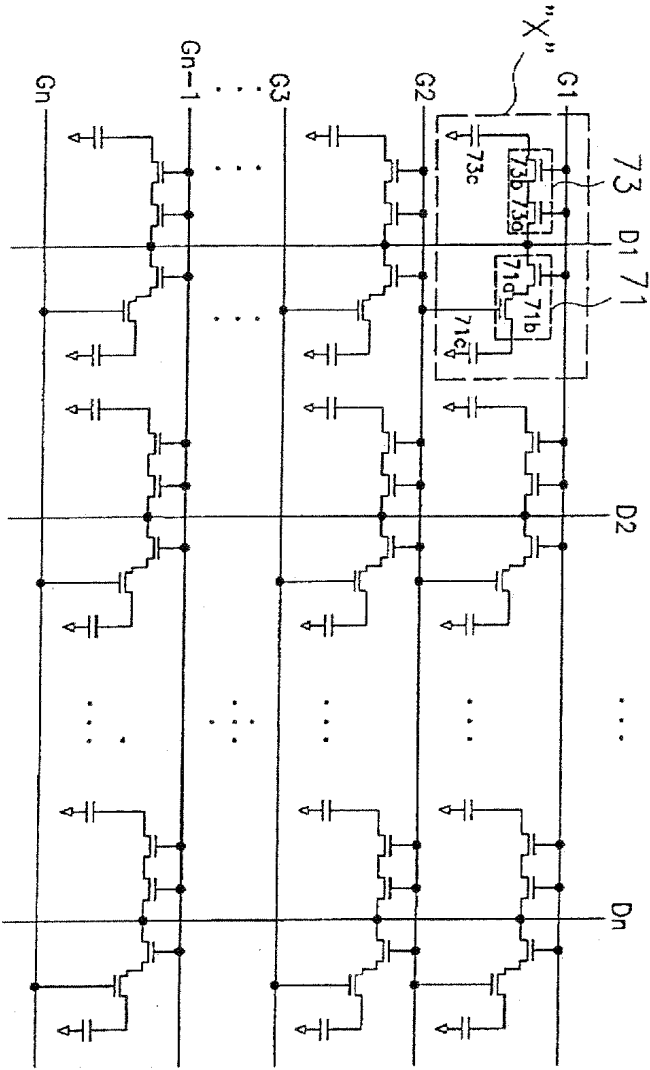
图 8a



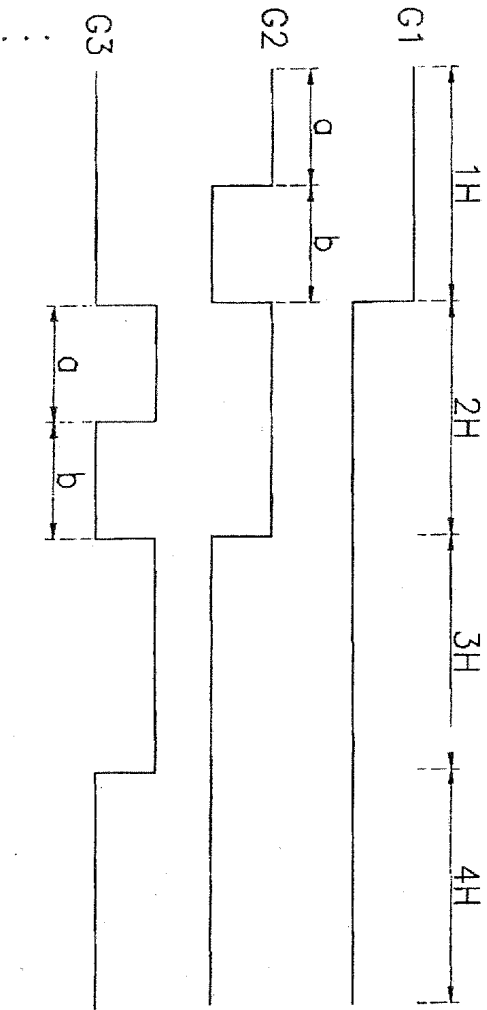
도면8b



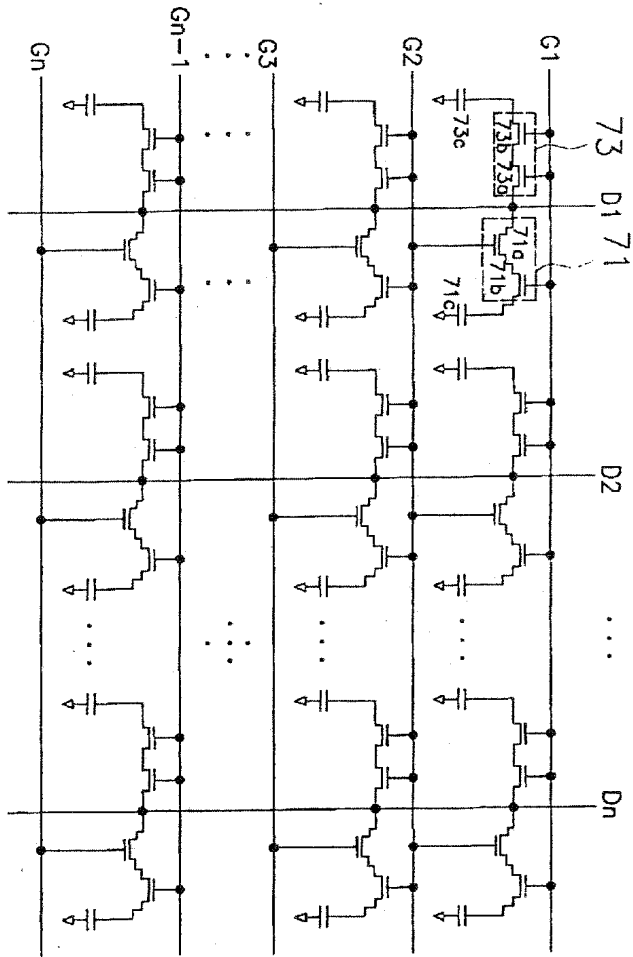
도면 9a



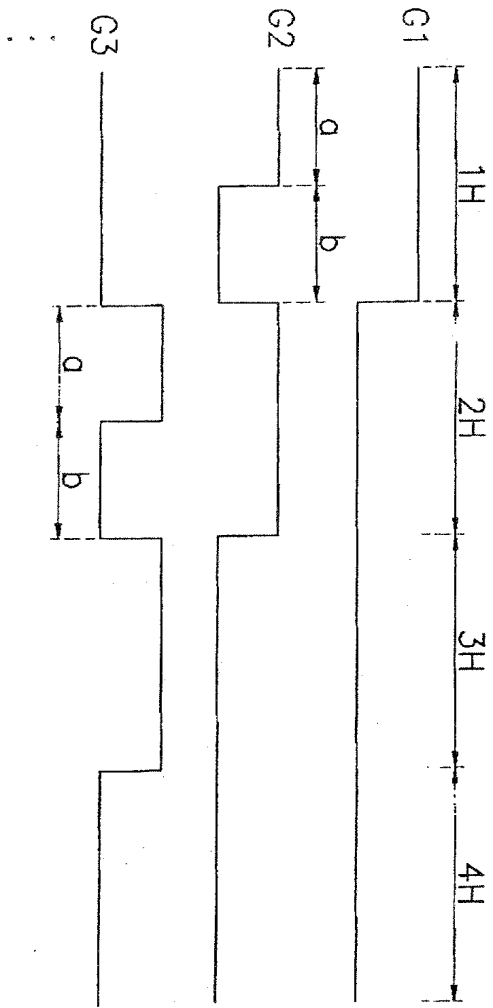
도 9b



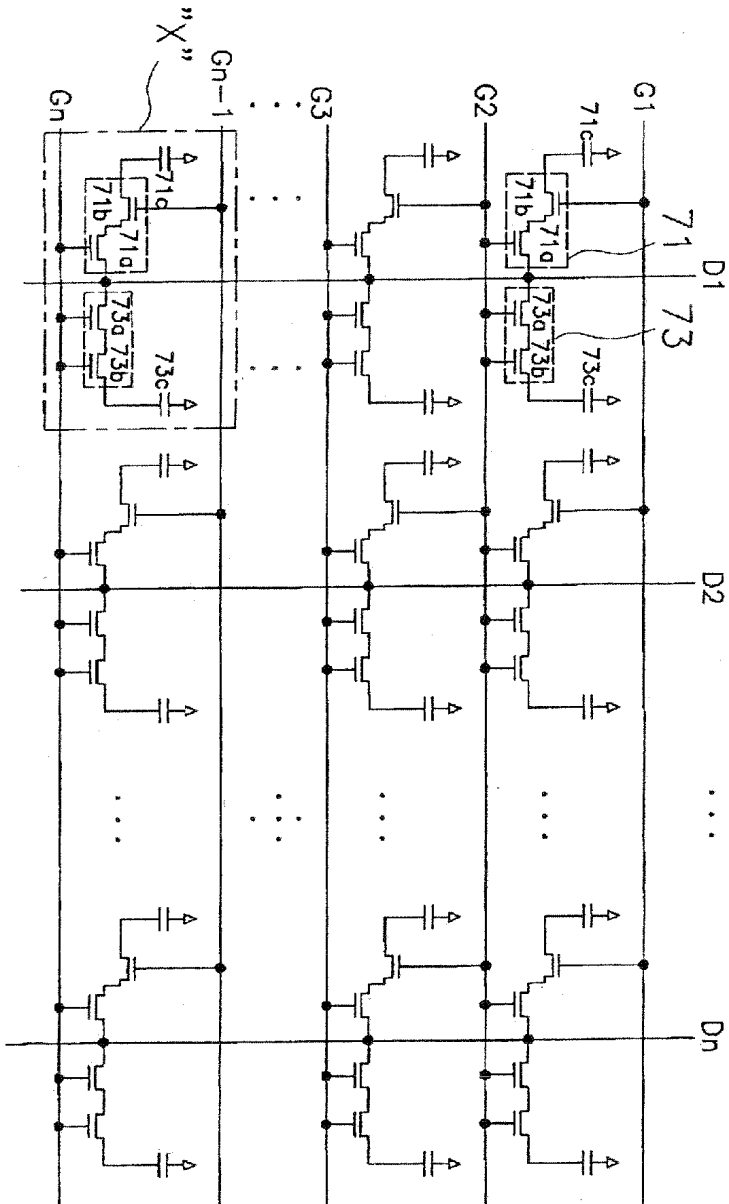
도면 10a



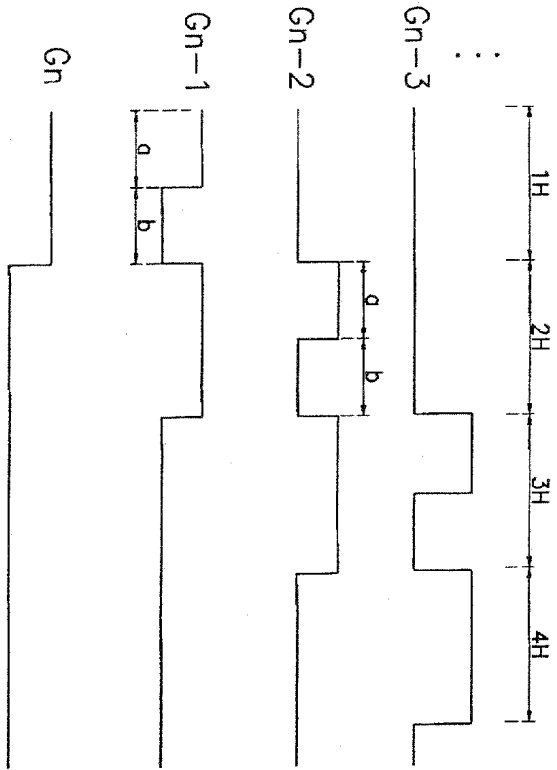
도면 10b



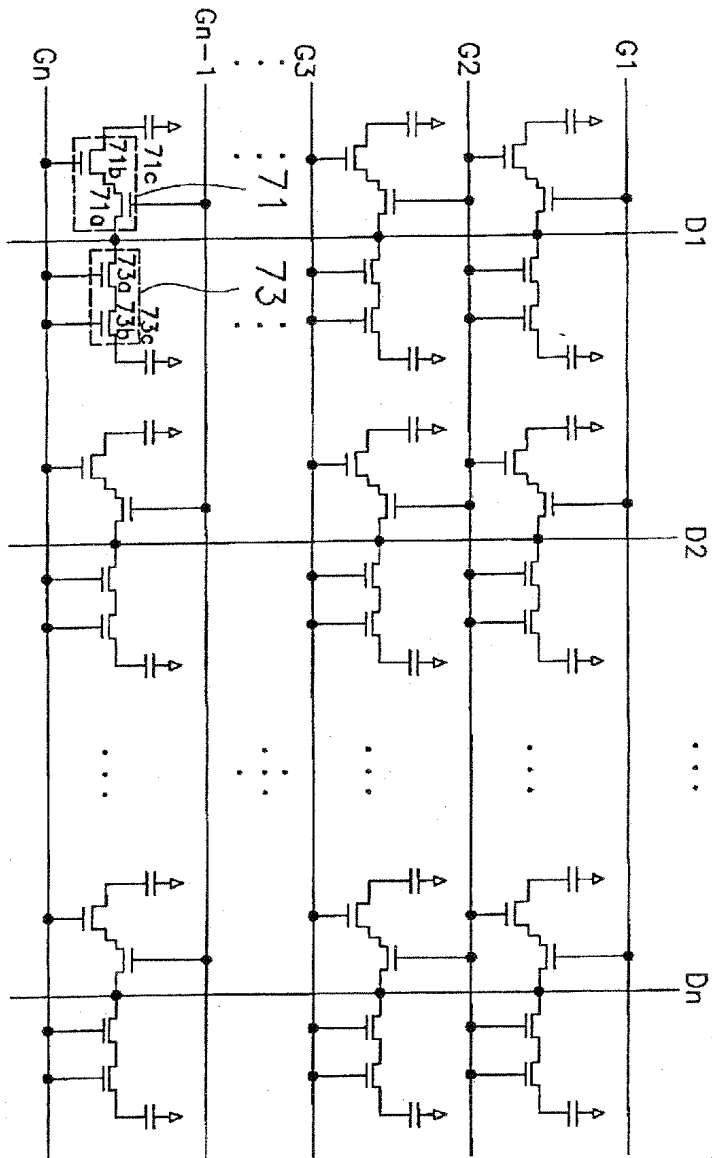
도면 11a



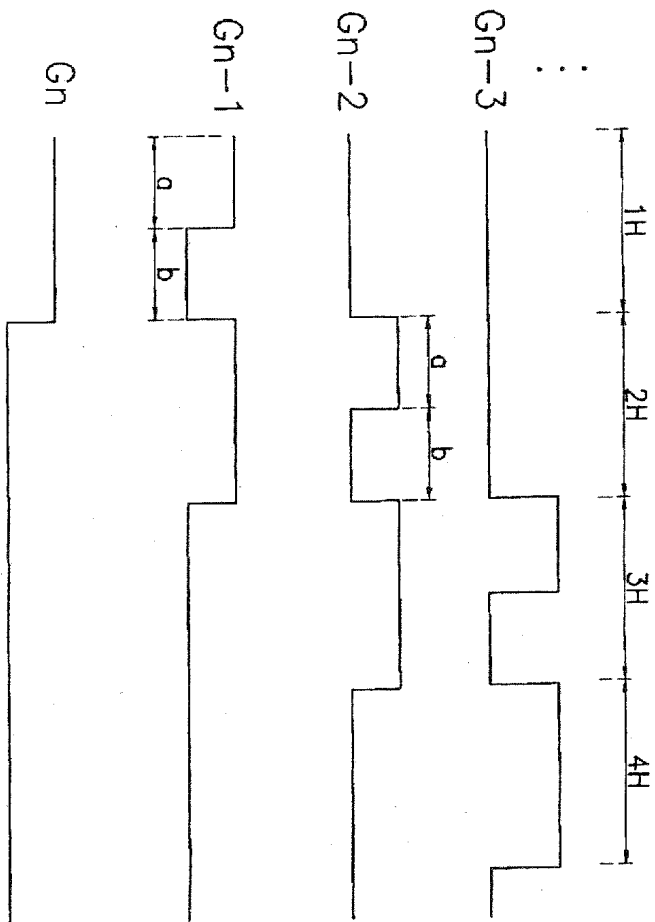
도면 11b



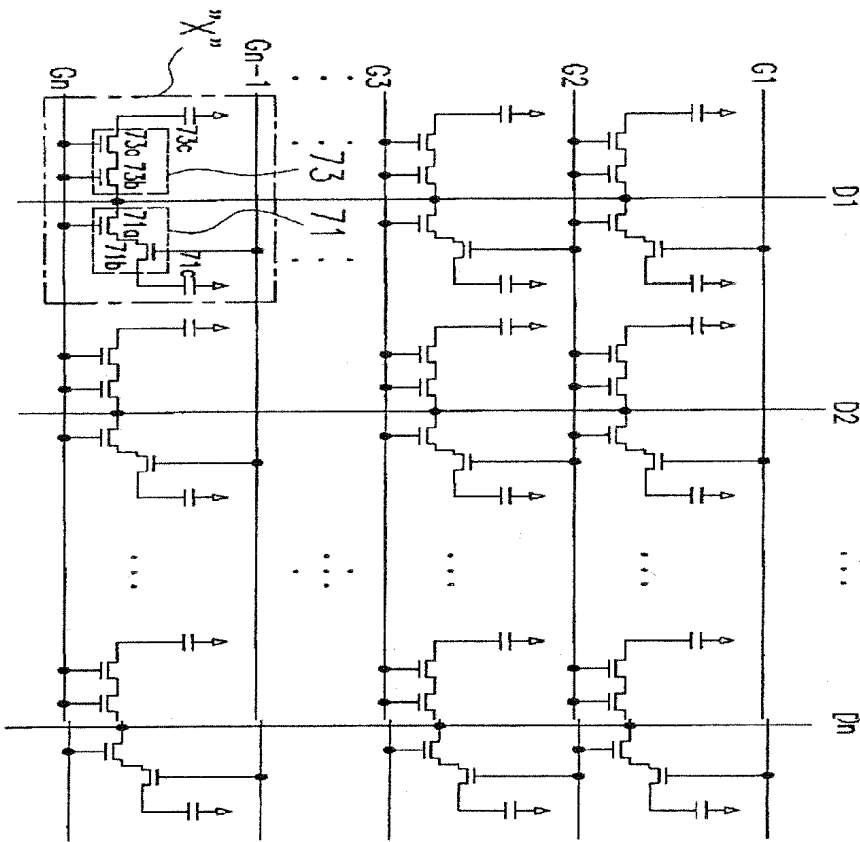
도면 12a



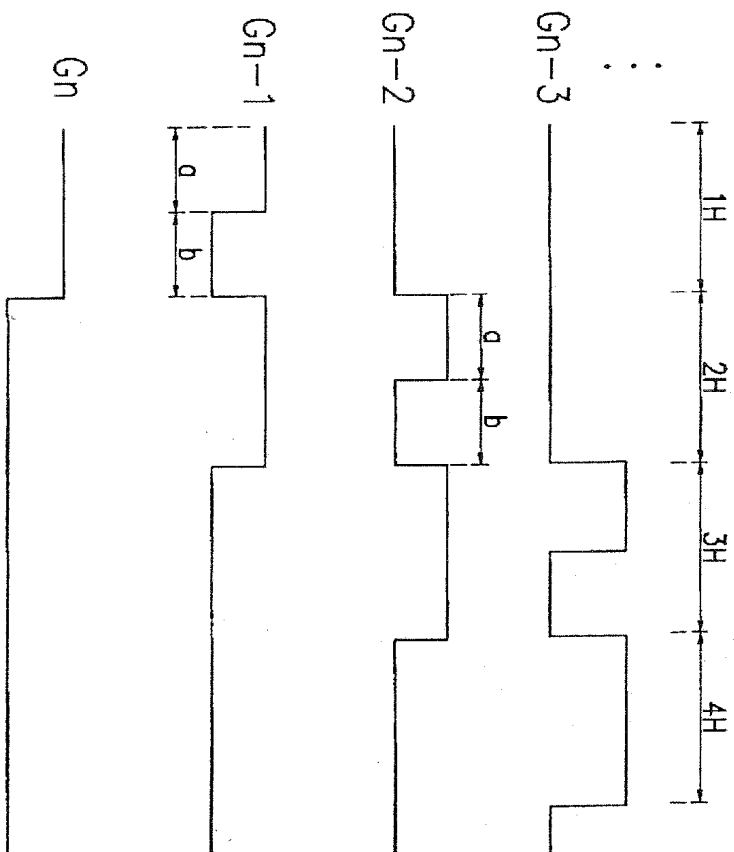
도면 12b



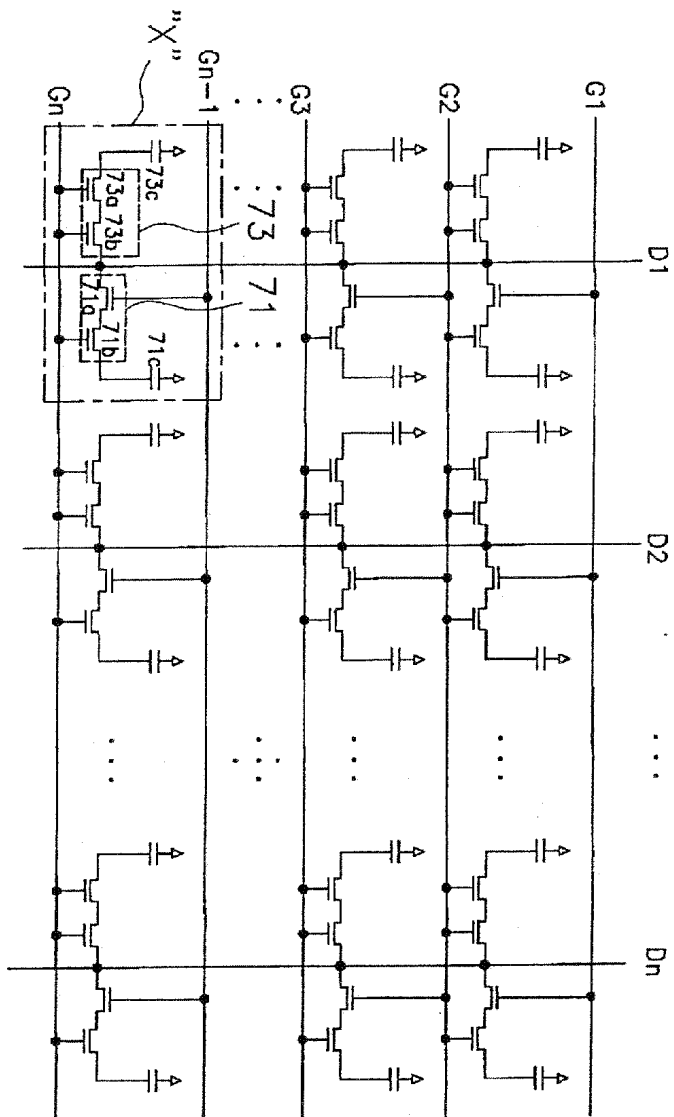
도면 13a



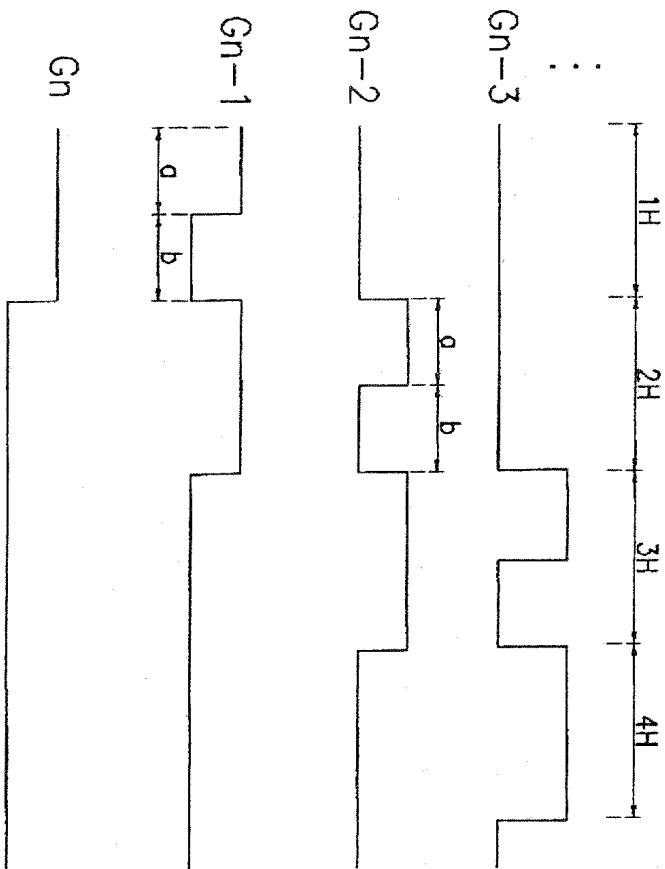
도면 13b



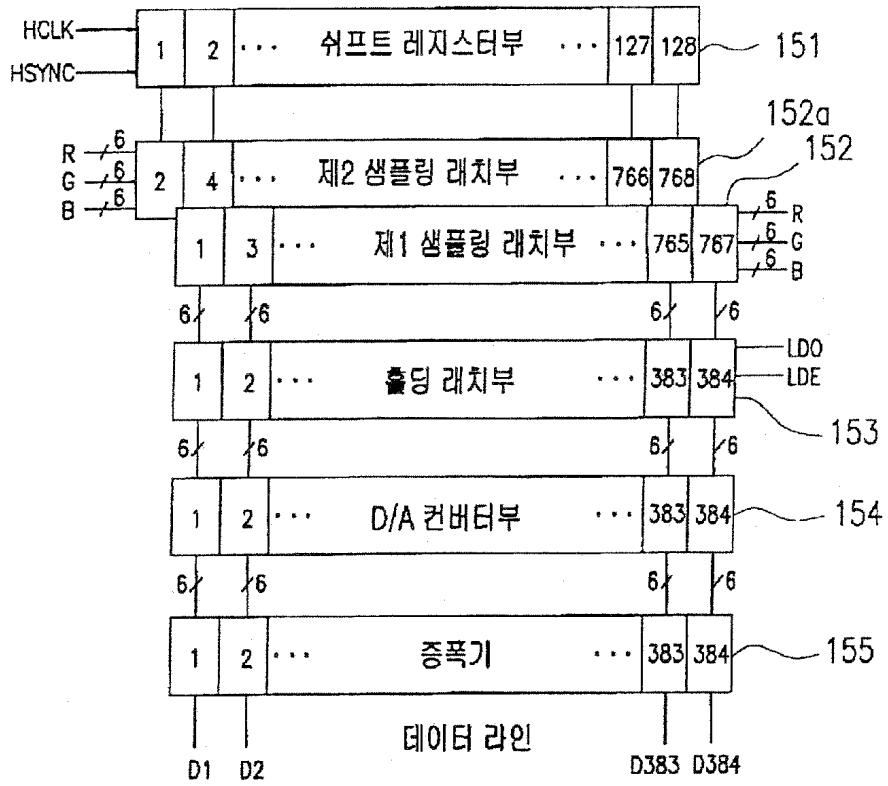
도면 14a



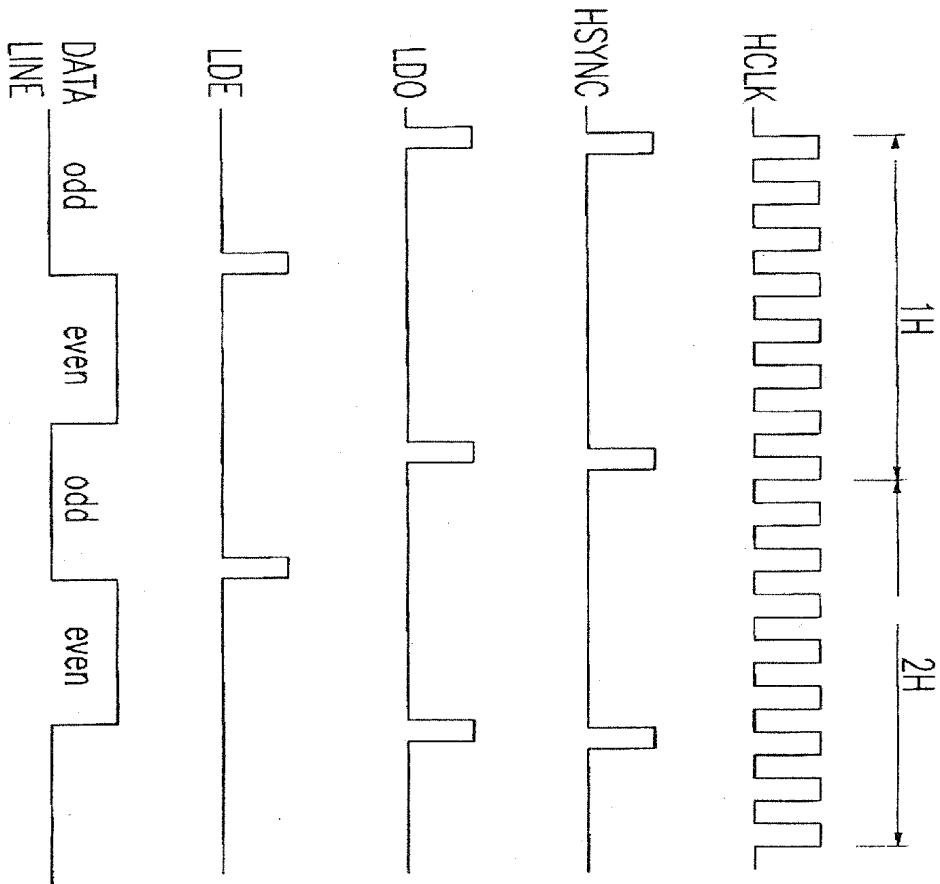
도면 14b



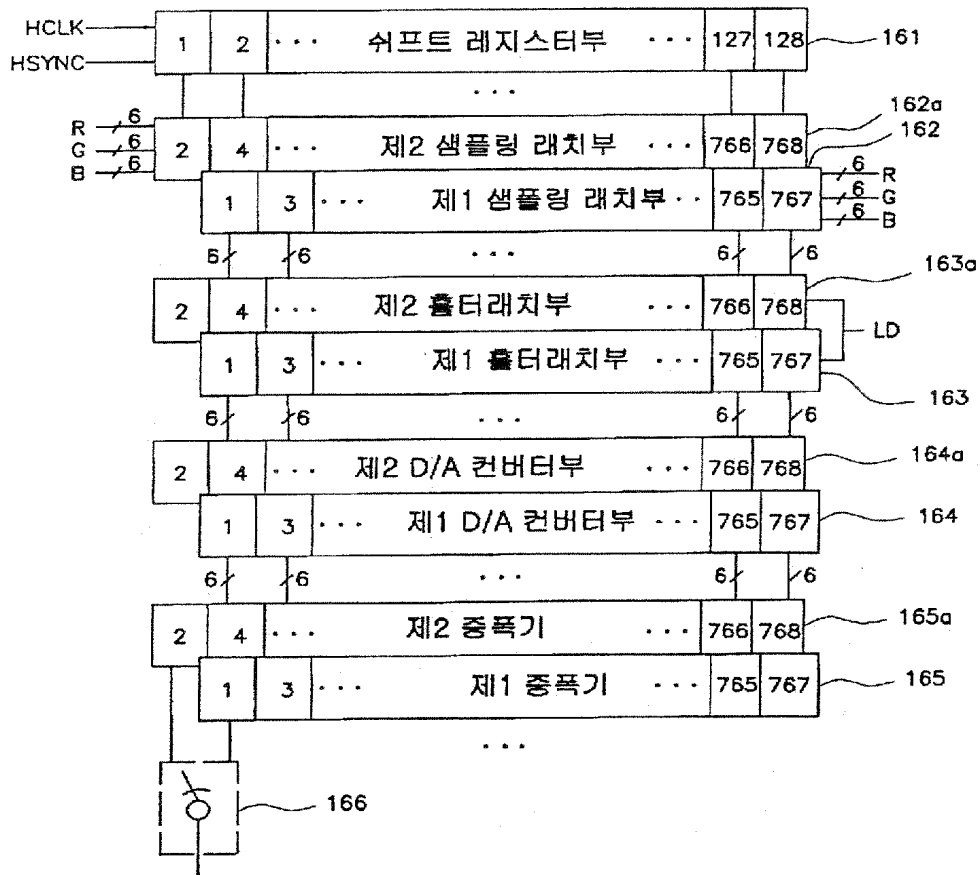
도면 15a



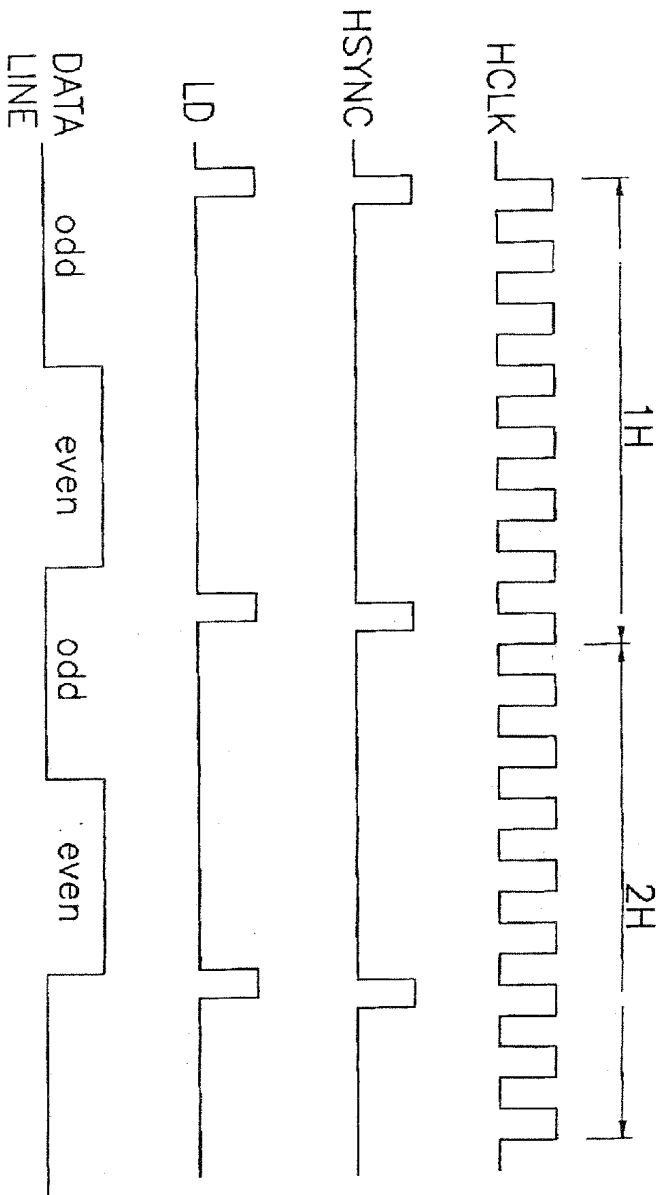
도면 15b



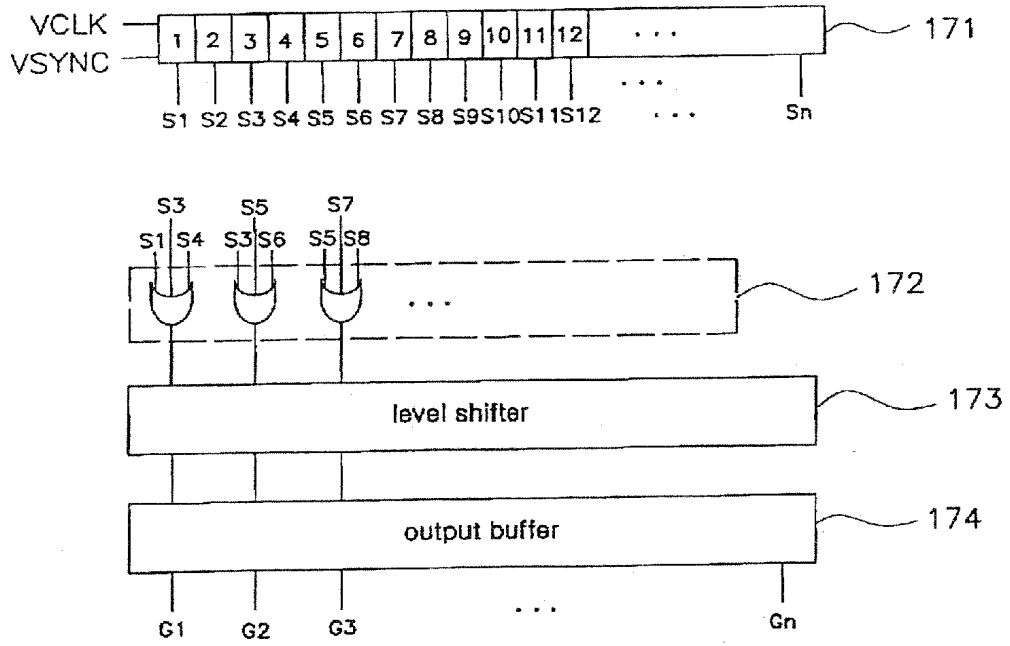
도면 16a



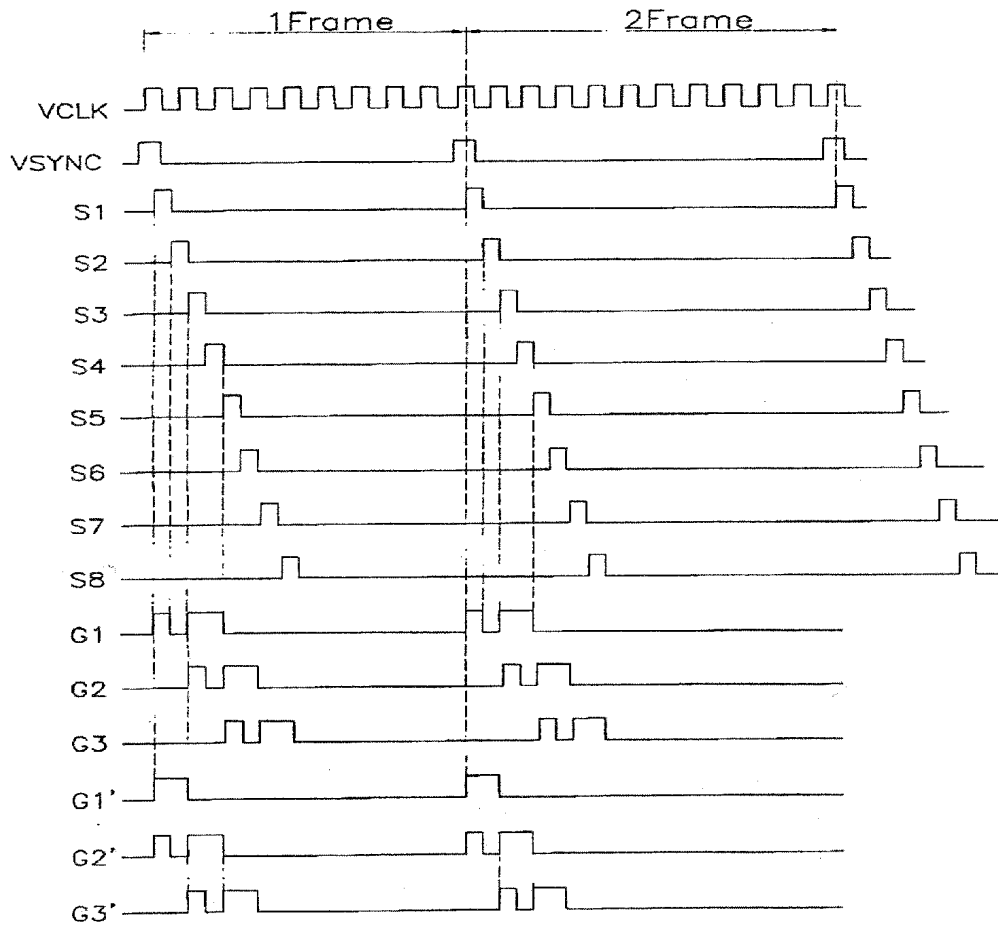
도면 16b



도면 17a



도면17b



도면18

—	—	①+	②+	—	—
+	+	③—	④—	+	+
—	—	+	+	—	—
+	+	—	—	+	+